

PC-9097 1/3

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 1 3 4 4 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 1 3 4 4 1]

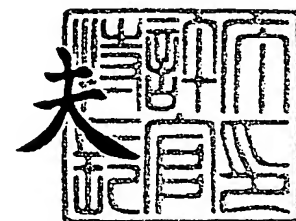
願 人 新 電 元 工 業 株 式 会 社
Applicant(s):



2 0 0 4 年 1 月 9 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



BEST AVAILABLE COPY

出 証 番 号 出 証 特 2 0 0 3 - 3 1 1 0 0 8 1

特願 2 0 0 3 - 3 1 3 4 4 1

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 2 0 3 7]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

東京都千代田区大手町 2 丁目 2 番 1 号

氏 名

新電元工業株式会社

PC-9077
7/3

日本国特許庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年12月22日
Date of Application:

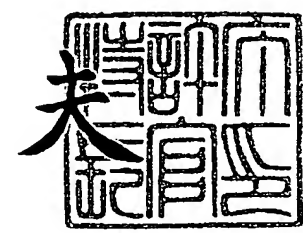
出願番号 特願2003-423924
Application Number:
[ST. 10/C]: [JP2003-423924]

願人 新電元工業株式会社
Applicant(s):

2004年 1月 9日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



特願 2003-423924

出願人履歴情報

識別番号

[000002037]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

東京都千代田区大手町2丁目2番1号

氏 名

新電元工業株式会社

日本国特許庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年12月22日
Date of Application:

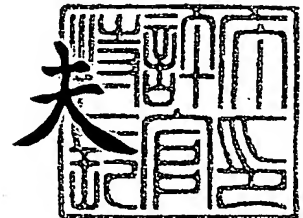
出願番号 特願2003-423925
Application Number:
[ST. 10/C]: [JP 2003-423925]

願人 新電元工業株式会社
Applicant(s):

2004年 1月 9日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3110085

特願 2003-423925

出願人履歴情報

識別番号

[000002037]

1. 変更年月日
[変更理由]

住所
氏名

1990年 8月28日

新規登録

東京都千代田区大手町2丁目2番1号

新電元工業株式会社

明細書

スイッチング電源

技術分野

本発明は、負荷急変の応答速度の高速化を図るための制御手段を備えたスイッチング電源に関するものである。

背景技術

従来のスイッチング電源を図60乃至図62に示す。図60に示すスイッチング電源は電圧ヒステリシス制御手段を備えてある。具体的構成は以下の通りである。この電源回路の出力側に比較器42の負の入力を接続して検出電圧と基準電圧 V_{ref} との誤差を増幅するように構成してある。この比較器42の出力をドライバ47の入力に接続し、このドライバ47の出力を整流スイッチS1のゲート並びに転流スイッチS2のゲートに接続してある（例として米国特許第6147478号公報（第7頁、第3図）参照。）。

図61に示すスイッチング電源は電圧モード型PWM制御手段を備えてある。具体的構成は以下の通りである。この電源回路の出力側に誤差アンプ41の負の入力を接続して検出電圧と基準電圧 V_{ref} との誤差を増幅するように構成してある。この誤差アンプ41の出力を比較器42の正の入力に接続し、この比較器42の負の入力に発振器48を接続して、この発振器48から比較器42に三角波を送信するように構成してある。この比較器42の出力をラッチ45の入力に接続し、このラッチ45の入力に発振器48を接続し、この発振器48からラッチ45に矩形波を送信するように構成してある。さらに、ラッチ45の出力をドライバ47の入力に接続し、このドライバ47の出力を整流スイッチS1のゲート並びに転流スイッチS2のゲートに接続してある（例として米国特許第6147478号公報（第7頁、第1図）参照。）。

図62に示すスイッチング電源は電流モード型PWM制御手段を備えてある。具体的構成は以下の通りである。この電源回路の出力側に誤差アンプ41の負の入力を接続して検出電圧と基準電圧 V_{ref} との誤差を増幅するように構成してある。この誤差アンプ41の出力を比較器42の負の入力に接続してある。出力チョークL1に電流検出回路44を接続し、この電流検出回路44を比較器42の正の入力に接続してある。この比較器42の出力にフリップフロップ回路46のリセット側を接続し、このフリップフロップ回路46のセット側に発振器48を接続し、この発振器48からフリップフロップ

回路 4 6 にフリップ信号を送信するように構成してある。このフリップフリップ回路 4 6 の出力をドライバ 4 7 の入力に接続し、このドライバ 4 7 の出力を整流スイッチ S 1 のゲート並びに転流スイッチ S 2 のゲートに接続してある（例として米国特許第 4 9 4 3 9 0 2 号公報（第 5 - 6 頁、第 2 図）参照。）。

先ず、電圧ヒステリシス制御手段を備えたスイッチング電源では、出力電圧を直接使い、出力電圧が規定のレベルよりも下がったらスイッチがオンしてインダクタ電流を増加させ、出力電圧が規定の別のレベルよりも上がったらスイッチがオフしてインダクタ電流を減少させる動作を繰り返すことにより出力電圧の制御を行うため応答速度は速いが、原理的に安定性に乏しい方式であり、出力コンデンサや負荷の状態に非常に敏感な動作をするため用途を著しく限定するという課題が生じた。

続いて、電圧モード型 P W M 制御では、固定周波数三角波と誤差増幅信号とを使ってデューティ比を決定しているが、この方法では固定周波数三角波の周波数と誤差増幅信号の周波数が近くなると安定性が損なわれるため、誤差増幅信号の周波数帯域を固定周波数三角波に対して $1 / 10$ 程度まで落とす必要があったという課題が生じた。

また、電流モード型 P W M 制御では、固定周波数三角波の代わりにインダクタ電流信号を用いることで、誤差増幅信号との位相余裕を大きく取れるようになったが、誤差増幅信号の周波数帯域を大きく上げることはできないという課題が生じた。

図 6 3 には、電流モード型 P W M 制御手段を用いたスイッチング電源の負荷電流が急増した場合の動作波形図を示し、図 6 4 には、同じくスイッチング電源の負荷電流が急減した場合の動作波形図を示してある。具体的には、上側は出力電圧波形、中央はインダクタ電流波形、下側は誤差アンプ 4 1 の出力及び三角波を示してある。これらの図で示す通り、負荷電流が急激に増加すると、出力電圧が落ち込み、これに伴い、インダクタ電流が増加する。また、負荷電流が急激に減少すると、出力電圧が跳ね上がり、これに伴い、インダクタ電流が減少する。しかし、出力電圧が安定するまでには数周期以上必要になり、安定した電源動作を得るために、系の応答速度が遅くなるという課題が生じた。

本発明は、上記問題に鑑みてなされたものであり、誤差増幅信号の周波数帯域を下げなくても安定性を確保することができるスイッチング電源を提供する。

また、本発明は、安定した出力リップル特性を実現する新規のスイッチング電源を提供する。

さらに、本発明は、安定した発振周波数・出力リップル特性を実現する新規のスイッ

チング電源を提供する。

発明の開示

上記目的を達成するため、本発明の1つの態様によれば、整流スイッチ、転流スイッチ、出力チョーク並びに平滑コンデンサを備え、前記出力チョークと平滑コンデンサを直列に接続したスイッチング電源であって、この電源回路の出力側に誤差アンプの入力を接続して検出電圧と基準電圧との誤差を増幅するように構成し、この誤差アンプの出力を第一の比較器の一方の入力に接続し、同じくこの誤差アンプの出力を分割抵抗を介して第二の比較器の一方の入力に接続してあり、前記転流スイッチと並列に、抵抗及びコンデンサを備えたフィルタ回路を接続し、このフィルタ回路の出力を前記第一の比較器の他方の入力、並びに第二の比較器の他方の入力に接続して、前記フィルタ回路より得られる三角波形の振幅が前記第一の比較器の一方の入力レベルと第二の比較器の一方の入力レベルとの間に収まるように制御する制御手段を設けるようにしたスイッチング電源、が提供される。

上記構成のスイッチング電源によれば、フィルタ回路より得られる三角波形の振幅が第一の比較器の一方の入力レベルと第二の比較器の一方の入力レベルとの間に収まるように制御する制御手段を設けてあることにより、三角波は抵抗とコンデンサで構成したフィルタの手前で接続してある出力スイッチのオン／オフにより生成されるため、出力スイッチの動作状態と誤差増幅信号との位相差が固定され、誤差増幅信号の周波数帯域を下げなくても安定性を確保することができる効果がある。

また、整流スイッチに電流検出回路を接続し、この電流検出回路をフィルタ回路に接続することにより、フィルタ回路には通常流れる電流と電流検出回路を経由して流れる電流とが流れ、出力インピーダンスの調整をすることができる効果がある。

好ましくは、上記スイッチング電源において、前記制御手段は、この誤差アンプの出力を、分圧比を自在に変化させる電圧分圧回路を介して第二の比較器の一方の入力に接続し、前記フィルタ回路より得られる三角波形の振幅が前記第一の比較器の一方の入力レベルと第二の比較器の一方の入力レベルとの間に収まるように構成する。

好ましくは、前記電圧分圧回路は、抵抗を3つ以上直列に接続して、分圧比可変部と分圧比固定部とを構成し、前記分圧比可変部の一端を前記誤差アンプの出力と前記第一の比較器の入力間に接続し、同じく分圧比可変部の他端を前記第二の比較器の一方の入力に接続してあり、前記分圧比可変部に設けた少なくとも一の抵抗と並列にスイッチを

接続し、インダクタ電流が不連続状態になったことを検出して、分圧比を自在に変化させるようにする。

本発明によれば、インダクタ電流の不連続状態を検出し、三角波の振幅を自動的に変化させる回路を内蔵することにより、安定した出力リップル特性を実現することができる効果がある。

好ましくは、上記スイッチング電源において、前記制御手段は、入出力電位差に比例して変化する電流源を備え、この電流源は、前記分割抵抗の midpoint と接地電位との間に接続して第二の信号を出力するように構成し、前記三角波形の振幅が前記第一及び第二の信号の間に収まるように構成する。

好ましくは、前記分割抵抗を2つ以上直列に接続し、抵抗分割点と接地電位との間に入出力電圧差に比例する電流源を接続して、分圧比を自在に変化させるようにする。

本発明によれば、入出力電圧差に比例して三角波の振幅を自動的に変化させる回路を内蔵することにより、様々な入出力条件において、安定した効率・出力リップル特性を実現することができる効果がある。

好ましくは、上記スイッチング電源において、前記誤差アンプで電源回路の出力電圧と基準電圧との誤差を増幅して得た誤差増幅信号を、前記フィルタ回路より得られる三角波形とを比較して第一の比較信号を前記整流スイッチに出力し、前記誤差増幅信号を分圧して、この分圧信号を前記三角波形とを比較して第二の比較信号を生成可能な構成とし、前記第二の比較信号とクロック信号とを付け合わせ、負荷急変時に前記第二の比較信号を出力して、前記整流スイッチへの出力信号を前記クロック信号から第二の比較信号へ切り換えて、前記三角波形の振幅が前記誤差増幅信号と前記分圧信号との間に収まるように制御し、定常時に前記整流スイッチのオンのタイミングを前記クロック信号で固定するようにする。

好ましくは、前記制御手段は、負荷急増時においても、前記整流スイッチのオンのタイミングをクロック信号で固定するようにする。

好ましくは、上記スイッチング電源において、前記誤差アンプで電源回路の出力電圧と基準電圧との誤差を増幅して得た誤差増幅信号を、前記フィルタ回路より得られる三角波形とを比較して第一の比較信号を生成可能な構成とし、前記第一の比較信号とクロック信号とを付け合わせ、前記整流スイッチに出力し、前記誤差増幅信号を分圧して、この分圧信号を前記三角波形とを比較して第二の比較信号を出力し、負荷急変時に前記整流スイッチへの出力信号を前記クロック信号から第一の比較信号へ切り換えて、前記三

角波形の振幅が前記誤差増幅信号と前記分圧信号との間に収まるように制御し、定常時に前記整流スイッチのオフのタイミングを前記クロック信号で固定するようにする。

好ましくは、前記制御手段は、負荷急減時においても、前記整流スイッチのオフのタイミングをクロック信号で固定するようにする。

本発明によれば、フィルタ回路より得られる三角波形の振幅が負荷急変時に出力電圧と基準電圧との誤差を増幅した誤差増幅信号と、この誤差増幅信号を分圧して得られる分圧信号との間に収まるように制御し、定常時に整流スイッチのオン又はオフのタイミングをクロック信号で固定するようにしたことにより、発振周波数が固定となり、マルチフェーズ化のための位相をずらした信号の発生が容易であるという効果がある。

また、本発明によれば、分圧信号を用いなくても、分圧信号を用いた場合と同様に、発振周波数が固定となり、マルチフェーズ化のための位相をずらした信号の発生が容易であるという効果がある。

図面の簡単な説明

図 1 は、本発明の第 1 実施形態に係るスイッチング電源の回路図である。

図 2 は、図 1 に示す実施形態の動作波形図である。

図 3 は、同じく動作波形図である。

図 4 は、第 1 実施形態の第 1 変形例の回路図である。

図 5 は、第 1 実施形態の第 2 変形例の回路図である。

図 6 は、第 1 実施形態の第 3 変形例の回路図である。

図 7 は、第 1 実施形態の第 4 変形例の回路図である。

図 8 は、第 1 実施形態の第 5 変形例の回路図である。

図 9 は、第 1 実施形態の第 6 変形例の回路図である。

図 10 は、第 1 実施形態の第 7 変形例の回路図である。

図 11 は、第 1 実施形態の第 8 変形例の回路図である。

図 12 は、第 1 実施形態の第 9 変形例の回路図である。

図 13 は、第 1 実施形態の第 10 変形例の回路図である。

図 14 は、第 1 実施形態の第 11 変形例の回路図である。

図 15 は、本発明の第 2 実施形態に係るスイッチング電源の回路図である。

図 16 は、図 15 に示す実施形態の動作波形図である。

図 17 は、第 2 実施形態の第 1 変形例の回路図である。

図 18 は、第 2 実施形態の第 2 変形例の回路図である。

図 19 は、第 2 実施形態の第 3 変形例の回路図である。

図 20 は、第 2 実施形態の第 4 変形例の回路図である。

図 21 は、第 2 実施形態の第 5 変形例の回路図である。

図 22 は、第 2 実施形態の第 6 変形例の回路図である。

図 23 は、第 2 実施形態の第 7 変形例の回路図である。

図 24 は、第 2 実施形態の第 8 変形例の回路図である。

図 25 は、第 2 実施形態の第 8 変形例と類似の回路図である。

図 26 は、第 2 実施形態の第 8 変形例と類似の回路図である。

図 27 は、第 2 実施形態の第 8 変形例と類似の回路図である。

図 28 は、本発明の第 3 実施形態に係るスイッチング電源の回路図である。

図 29 は、図 28 に示す実施形態の入出力電位差が大きくなった場合の動作波形図である。

図 30 は、図 28 に示す実施形態の入出力電位差が小さくなった場合の動作波形図である。

図 31 は、第 3 実施形態の第 1 変形例の回路図である。

図 32 は、第 3 実施形態の第 2 変形例の回路図である。

図 33 は、第 3 実施形態の第 3 変形例の回路図である。

図 34 は、第 3 実施形態の第 4 変形例の回路図である。

図 35 は、第 3 実施形態の第 5 変形例の回路図である。

図 36 は、第 3 実施形態の第 6 変形例の回路図である。

図 37 は、第 3 実施形態の第 7 変形例の回路図である。

図 38 は、第 3 実施形態の第 8 変形例の回路図である。

図 39 は、第 3 実施形態の第 8 変形例と類似の回路図である。

図 40 は、第 3 実施形態の第 8 変形例と類似の回路図である。

図 41 は、第 3 実施形態の第 8 変形例と類似の回路図である。

図 42 は、本発明の第 4 実施形態に係るスイッチング電源の回路図である。

図 43 は、図 42 に示す実施形態の動作波形図である。

図 44 は、第 4 実施形態の第 1 変形例の回路図である。

図 45 は、第 4 実施形態の第 2 変形例の回路図である。

図 46 は、第 4 実施形態の第 3 変形例の回路図である。

図 4 7 は、図 4 2 に示す第 4 実施形態をマルチフェーズ化した第 4 変形例の回路図である。

図 4 8 は、図 4 7 に示す第 4 変形例の動作波形図である。

図 4 9 は、第 4 実施形態の第 5 変形例の回路図である。

図 5 0 は、第 4 実施形態の第 6 変形例の回路図である。

図 5 1 は、第 4 実施形態の第 7 変形例の回路図である。

図 5 2 は、第 4 実施形態の第 8 変形例の回路図である。

図 5 3 は、第 4 実施形態の第 9 変形例の回路図である。

図 5 4 は、第 4 実施形態の第 1 0 変形例の回路図である。

図 5 5 は、第 4 実施形態の第 1 1 変形例の回路図である。

図 5 6 は、第 4 実施形態の第 1 2 変形例の回路図である。

図 5 7 は、第 4 実施形態の第 1 3 変形例の回路図である。

図 5 8 は、第 4 実施形態の第 1 4 変形例の回路図である。

図 5 9 は、第 4 実施形態の第 1 5 変形例の回路図である。

図 6 0 は、従来例のスイッチング電源の回路図である。

図 6 1 は、図 6 0 とは別の従来例の回路図である。

図 6 2 は、同じく別の従来例の回路図である。

図 6 3 は、図 6 2 に示す従来例の動作波形図である。

図 6 4 は、同じく動作波形図である。

発明を実施するための最良の形態

以下、添付図面を用いて本発明の第 1 実施形態に係るスイッチング電源を説明する。

図 1 は本実施形態に係るスイッチング電源を示す。C はコンデンサ、S はスイッチング素子、R は抵抗、Z はインピーダンス、1 1 は誤差アンプ、1 2、1 3 は比較器、1 6 はフリップフロップ回路、1 7 はドライバ、2 1 はフィルタ回路である。

本実施形態に係るスイッチング電源は、整流スイッチ S 1、転流スイッチ S 2、出力チョーク L 1 並びに平滑コンデンサ C_{OUT} を備え、出力チョーク L 1 と平滑コンデンサ C_{OUT} とを直列に接続した電源回路を備えてある。この電源回路の出力側に制御回路を接続してある。この制御回路の出力は整流スイッチ S 1 と転流スイッチ S 2 に接続してある。

電源回路の出力側に電圧検出用の抵抗 R₁、R₂ を備え、これら抵抗 R₁、R₂ の接続

部を誤差アンプ 11 の負の入力に接続し、この誤差アンプ 11 で検出電圧と基準電圧との誤差を増幅するように構成してある。この誤差アンプ 11 の出力を第一の比較器 12 の負の入力に接続し、同じくこの誤差アンプ 11 の出力を分割抵抗 R_3 、 R_4 を介して第二の比較器 13 の正の入力に接続してある。

出力チョーク L_1 と平滑コンデンサ C_{OUT} との直列回路と並列に、抵抗 R_{SAW1} と 2 つのコンデンサ C_{SAW1} 、 C_{SAW2} とを直列に接続して構成するフィルタ回路 21 を接続してある。このフィルタ回路 21 の出力を第一の比較器 12 の正の入力、並びに第二の比較器 13 の負の入力に接続してある。

第一の比較器 12 の出力をフリップフロップ回路 16 のリセット側の入力に接続するとともに、第二の比較器 13 の出力をフリップフロップ回路 16 のセット側の入力に接続してある。このフリップフロップ回路 16 の出力をドライバ 17 の入力に接続し、このドライバ 17 の出力を整流スイッチ S_1 並びに転流スイッチ S_2 に接続し、フィルタ回路 21 より得られる三角波形の振幅が第一の比較器 12 の一方の入力レベルと第二の比較器 13 の一方の入力レベルとの間に収まるように構成してある。

以上のように構成してあるスイッチング電源は以下のような作用をする。まず、負荷電流が急激に増加した場合について説明する。この動作波形図を図 2 に示す。なお、図 2 の上側には出力電圧波形を、中央にはインダクタ電流波形を、下側には誤差アンプ 11 の出力、誤差アンプ 11 の出力を抵抗分割したもの、並びにフィルタ回路 21 により生成された 2 つのレベル内に収まるように制御される三角波をそれぞれ示してある。負荷電流が急激に増加すると、図 2 に示す通り、出力電圧が瞬間的に落ち込み、インダクタ電流が急激に増加する。

このとき、電源回路に備えた出力チョーク L_1 と平滑コンデンサ C_{OUT} との直列回路と並列に接続したフィルタ回路 21 により得られる三角波と、誤差アンプ 11 により出力電圧と基準電圧との誤差を増幅して生成される 2 つのレベルとを使い、第一の比較器 12 で比較して得られた信号をフリップフロップ回路 16 のリセット側に入力する。これとともに、電源回路に備えた出力チョーク L_1 と平滑コンデンサ C_{OUT} との直列回路と並列に接続したフィルタ回路 21 により得られる三角波と、誤差アンプ 11 により出力電圧と基準電圧との誤差を増幅した信号から分割抵抗 R_3 、 R_4 により抵抗分割して生成される 2 つのレベルとを使い、第二の比較器 13 で比較して得られた信号をフリップフロップ回路 16 のセット側に入力する。このように信号を入力することにより、三角波の振幅が前記 2 つのレベルの間に収まるように制御を行っている。

この制御によって、フィルタ回路 2 1 により三角波を生成するため、三角波の登り傾斜は出力チョーク L_1 を流れる電流が増加する期間であり、三角波の下り傾斜はインダクタ電流が減少する期間である。この方式では、誤差増幅信号が変動したとき、その変動量の大きさに応じて三角波の周波数及びデューティ比が変化する。前記 2 つのレベルの間に三角波が収まるように制御を行うことで、誤差増幅信号と三角波との波形の位相差は最大 90 度で固定される。三角波はまた、出力チョーク L_1 と平滑コンデンサ C_{OUT} との直列回路の手前に接続されている整流スイッチ S_1 のオン／オフにより生成されるため、整流スイッチ S_1 の動作状態と誤差増幅信号との位相差も固定されることになる。このため、誤差増幅信号の周波数帯域を下げなくても安定性を確保することが可能となり、スイッチング電源として応答速度を飛躍的に改善することができる。

また、誤差増幅アンプの出力信号に応じて、(電源における 2 つのスイッチの駆動状態を示す) 三角波の周波数及び位相が瞬時に変化し、それに応じてインダクタ電流も変化するために高速な応答が実現できており、出力電圧の落ち込みを最小限に抑えることができる。

続いて、負荷電流が急激に減少した場合について説明する。この動作波形図を図 3 に示す。なお、図 3 の上側には出力電圧波形を、中央にはインダクタ電流波形を、下側には誤差アンプ 1 1 の出力、誤差アンプ 1 1 の出力を抵抗分割したもの、並びにフィルタ回路 2 1 により生成された 2 つのレベル内に収まるように制御される三角波をそれぞれ示してある。負荷電流が急激に減少すると、図 3 に示す通り、出力電圧が瞬間的に跳ね上がり、インダクタ電流が急激に減少する。

このとき、負荷電流が急激に増加した場合と同様に、三角波の振幅が前記 2 つのレベルの間に収まるように制御を行っているため、三角波の下り傾斜はインダクタ電流が減少する期間であり、三角波の登り傾斜は出力チョーク L_1 を流れる電流が増加する期間である。この方式では、誤差増幅信号が変動したとき、その変動量の大きさに応じて三角波の周波数及びデューティ比が変化する。前記 2 つのレベルの間に三角波が収まるように制御を行うことで、誤差増幅信号と三角波との波形の位相差は最大 90 度で固定される。三角波はまた、出力チョーク L_1 と平滑コンデンサ C_{OUT} との直列回路の手前に接続されている整流スイッチ S_1 のオン／オフにより生成されるため、整流スイッチ S_1 の動作状態と誤差増幅信号との位相差も固定されることになる。このため、誤差増幅信号の周波数帯域を下げなくても安定性を確保することが可能となり、スイッチング電源として応答速度を飛躍的に改善することができる。

また、誤差増幅アンプの出力信号に応じて、(電源における2つのスイッチの駆動状態を示す) 三角波の周波数及び位相が瞬時に変化し、それに応じてインダクタ電流も変化するために高速な応答が実現できており、出力電圧の跳ね上がりを最大限に抑えることができる。

なお、この実施形態は電圧検出用の抵抗 R_1 , R_2 を備えてあるとともに、出力チョーク L_1 と平滑コンデンサ C_{OUT} との直列回路と並列に、抵抗 R_{SAW1} と2つのコンデンサ C_{SAW1} , C_{SAW2} とを直列に接続して構成するフィルタ回路21を接続してあることにより、誤差アンプ出力信号の直流成分と三角波の直流成分とをほぼ同じレベルにしている。

図4は、本実施形態第1変形例に係るスイッチング電源を示す。このスイッチング電源は、電源回路の出力側に誤差アンプ11の負の入力を接続し、この誤差アンプ11で検出電圧と基準電圧との誤差を増幅するように構成してある。この誤差アンプ11の出力を第一の比較器12の負の入力に接続し、同じくこの誤差アンプ11の出力を分割抵抗 R_3 , R_4 を介して第二の比較器13の正の入力に接続してある。

出力チョーク L_1 と平滑コンデンサ C_{OUT} との直列回路と並列に、抵抗 R_{SAW1} とコンデンサ C_{SAW1} とを直列に接続して構成するフィルタ回路22を接続してある。このフィルタ回路22の出力を第一の比較器12の正の入力、並びに第二の比較器13の負の入力に接続してある。

第一の比較器12の出力をフリップフロップ回路16のリセット側の入力に接続するとともに、第二の比較器13の出力をフリップフロップ回路16のセット側の入力に接続してある。このフリップフロップ回路16の出力をドライバ17の入力に接続し、このドライバ17の出力を整流スイッチ S_1 並びに転流スイッチ S_2 に接続し、フィルタ回路22より得られる三角波形の振幅が第一の比較器12の一方の入力レベルと第二の比較器13の一方の入力レベルとの間に収まるように構成してある。

以上のように構成してあるスイッチング電源は図1に示す実施形態とほぼ同様の作用をし、誤差増幅信号の周波数帯域を下げなくても安定性を確保することが可能となり、スイッチング電源として応答速度を飛躍的に改善することができる。但し、本実施形態では、電源回路の出力側に電圧検出用の抵抗を設けておらず、また、フィルタ回路22は図1に示す実施形態のフィルタ回路21と構成が異なる。

図5は、本実施形態の第2変形例に係るスイッチング電源を示す。このスイッチング電源は、電源回路の出力側に電圧検出用の抵抗 R_1 , R_2 を備え、これら抵抗 R_1 , R_2

の接続部を誤差アンプ 11 の負の入力に接続し、この誤差アンプ 11 で検出電圧と基準電圧との誤差を増幅するように構成してある。この誤差アンプ 11 の出力を第一の比較器 12 の負の入力に接続し、同じくこの誤差アンプ 11 の出力を分割抵抗 R_3 , R_4 を介して第二の比較器 13 の正の入力に接続してある。

この変形例では、出力チョーク L_1 の入出力端間にフィルタ回路 23 を設けてある。このフィルタ回路 23 は以下のように構成してある。出力チョーク L_1 の入力端に転流スイッチ S_2 と並列に 2 つの抵抗 R_{SAW1} , R_{SAW2} を直列に接続し、同じく出力チョーク L_1 の出力端に転流スイッチ S_2 と並列に 2 つのコンデンサ C_{SAW1} , C_{SAW2} を直列に接続してある。直列に接続した抵抗 R_{SAW1} , R_{SAW2} の間、並びに直列に接続したコンデンサ C_{SAW1} , C_{SAW2} の間に接続部を設け、これら接続部を接続してフィルタ回路 23 を構成してある。前記接続部はフィルタ回路 23 の出力部であり、出力を第一の比較器 12 の正の入力、並びに第二の比較器 13 の負の入力に接続してある。

第一の比較器 12 の出力をフリップフロップ回路 16 のリセット側の入力に接続するとともに、第二の比較器 13 の出力をフリップフロップ回路 16 のセット側の入力に接続してある。このフリップフロップ回路 16 の出力をドライバ 17 の入力に接続し、このドライバ 17 の出力を整流スイッチ S_1 並びに転流スイッチ S_2 に接続し、フィルタ回路 23 より得られる三角波形の振幅が第一の比較器 12 の一方の入力レベルと第二の比較器 13 の一方の入力レベルとの間に収まるように構成してある。

以上のように構成してあるスイッチング電源は図 1 に示す実施形態とほぼ同様の作用をし、誤差増幅信号の周波数帯域を下げなくても安定性を確保することが可能となり、スイッチング電源として応答速度を飛躍的に改善することができる。

図 6 は、本実施形態の第 3 変形例であり、図 5 に示す変形例とはほぼ同様の構成を有する。このスイッチング電源は、電源回路の出力側に誤差アンプ 11 の負の入力を接続し、この誤差アンプ 11 で検出電圧と基準電圧との誤差を増幅するように構成してある。このスイッチング電源は図 4 に示す変形例とほぼ同様の作用をし、誤差増幅信号の周波数帯域を下げなくても安定性を確保することが可能となり、スイッチング電源として応答速度を飛躍的に改善することができる。

図 7 は、本実施形態の第 4 変形例に係るスイッチング電源を示す。このスイッチング電源は、電源回路の出力側に電圧検出用の抵抗 R_1 , R_2 を備え、これら抵抗 R_1 , R_2 の接続部を誤差アンプ 11 の負の入力に接続し、この誤差アンプ 11 で検出電圧と基準電圧との誤差を増幅するように構成してある。この誤差アンプ 11 の出力を第一の比較

器 1 2 の負の入力に接続し、同じくこの誤差アンプ 1 1 の出力を分割抵抗 R_3 , R_4 を介して第二の比較器 1 3 の正の入力に接続してある。

この変形例では、出力チョーク L_1 と平滑コンデンサ C_{OUT} との間に電流検出用の抵抗 R_5 を接続してあり、この抵抗 R_5 の入力側をバッファアンプ 1 5 の正の入力に、出力側を同じくバッファアンプ 1 5 の負の入力にそれぞれ接続してある。このバッファアンプ 1 5 の出力にコンデンサ C_{SAW1} と 2 つの抵抗 R_{SAW1} , R_{SAW2} とを直列に接続して構成するフィルタ回路 2 4 を接続してある。このフィルタ回路 2 4 の出力を第一の比較器 1 2 の正の入力、並びに第二の比較器 1 3 の負の入力に接続してある。

第一の比較器 1 2 の出力をフリップフロップ回路 1 6 のリセット側の入力に接続するとともに、第二の比較器 1 3 の出力をフリップフロップ回路 1 6 のセット側の入力に接続してある。このフリップフロップ回路 1 6 の出力をドライバ 1 7 の入力に接続し、このドライバ 1 7 の出力を整流スイッチ S_1 並びに転流スイッチ S_2 に接続し、フィルタ回路 2 4 より得られる三角波形の振幅が第一の比較器 1 2 の一方の入力レベルと第二の比較器 1 3 の一方の入力レベルとの間に収まるように構成してある。

以上のように構成してあるスイッチング電源は図 1 に示す実施形態とほぼ同様の作用をし、誤差増幅信号の周波数帯域を下げなくても安定性を確保することが可能となり、スイッチング電源として応答速度を飛躍的に改善することができる。また、この変形例は電圧検出用の抵抗 R_1 , R_2 を備えてあるとともに、フィルタ回路 2 4 をコンデンサ C_{SAW1} と 2 つの抵抗 R_{SAW1} , R_{SAW2} とを直列に接続して構成してあることにより、高周波成分のみを取り出すことができる。

図 8 は、本実施形態の第 5 変形例に係るスイッチング電源を示す。このスイッチング電源は、電源回路の出力側に誤差アンプ 1 1 の負の入力を接続し、この誤差アンプ 1 1 で検出電圧と基準電圧との誤差を増幅するように構成してある。この誤差アンプ 1 1 の出力を第一の比較器 1 2 の負の入力に接続し、同じくこの誤差アンプ 1 1 の出力を分割抵抗 R_3 , R_4 を介して第二の比較器 1 3 の正の入力に接続してある。

この変形例では、出力チョーク L_1 と平滑コンデンサ C_{OUT} との間に電流検出用の抵抗 R_5 を接続してあり、この抵抗 R_5 の入力側をバッファアンプ 1 5 の正の入力に、出力側を同じくバッファアンプ 1 5 の負の入力にそれぞれ接続してある。このバッファアンプ 1 5 の出力をコンデンサ C_{SAW} と抵抗 R_{SAW1} とを直列に接続して構成するフィルタ回路 2 5 に接続してある。このフィルタ回路 2 5 の出力を第一の比較器 1 2 の正の入力、並びに第二の比較器 1 3 の負の入力に接続してある。

第一の比較器 12 の出力をフリップフロップ回路 16 のリセット側の入力に接続するとともに、第二の比較器 13 の出力をフリップフロップ回路 16 のセット側の入力に接続してある。このフリップフロップ回路 16 の出力をドライバ 17 の入力に接続し、このドライバ 17 の出力を整流スイッチ S1 並びに転流スイッチ S2 に接続し、フィルタ回路 25 より得られる三角波形の振幅が第一の比較器 12 の一方の入力レベルと第二の比較器 13 の一方の入力レベルとの間に収まるように構成してある。

以上のように構成してあるスイッチング電源は図 4 に示す変形例とほぼ同様の作用をし、誤差増幅信号の周波数帯域を下げなくても安定性を確保することが可能となり、スイッチング電源として応答速度を飛躍的に改善することができる。

図 9 に示す第 6 変形例は、出力チョーク L1 に電流検出回路 14 を接続し、この電流検出回路 14 の出力にコンデンサ C_{SAW1} と 2 つの抵抗 R_{SAW1} , R_{SAW2} とを直列に接続して構成するフィルタ回路 24 を接続してある。これ以外については図 7 の第 4 変形例とほぼ同様の構成である。また、図 10 に示す第 7 変形例も出力チョーク L1 に電流検出回路 14 を接続し、この電流検出回路 14 の出力をコンデンサ C_{SAW} と抵抗 R_{SAW1} とを直列に接続して構成するフィルタ回路 25 を接続してある。これ以外については図 8 の第 5 変形例とほぼ同様の構成である。

以上のように構成してある図 9 に示す第 6 変形例のスイッチング電源は図 7 に示すスイッチング電源とほぼ同様の作用をし、図 10 に示す第 7 変形例のスイッチング電源は図 8 に示すスイッチング電源とほぼ同様の作用をする。

図 11 に示す変形例は図 1 に示す実施形態に、図 12 に示す変形例は図 4 に示す変形例に、図 13 に示す変形例は、図 5 に示す変形例に、図 14 に示す変形例は図 6 に示す変形例に対応するもので、これらの変形例は、整流スイッチ S1 に電流検出回路 14 を接続し、この電流検出回路 14 の出力を出力チョーク L1 の出力端に接続した抵抗 R_{SAW1} の他端に接続してある。

以上のように構成してある図 11 乃至図 14 に示すスイッチング電源は、それぞれ対応する図 1、図 4、図 5 並びに図 6 に示すスイッチング電源とほぼ同様の作用をするが、これらに加え、これらのスイッチング電源は、フィルタ回路 21, 22, 23, 24 で電流検出回路 14 から流れた電流を加えるため、出力インピーダンスを調整することができる。

次に、本発明の第 2 実施形態に係るスイッチング電源を説明する。なお、上述の第 1 実施形態と同一の部分には同一の符号を付し、その説明を省略する。

図 1 5 は本実施形態に係るスイッチング電源を示す。C はコンデンサ、S はスイッチング素子、R は抵抗、Z はインピーダンス、1 1 は誤差アンプ、1 2, 1 3 は比較器、3 1 は電圧分圧回路、1 6 はフリップフロップ回路、3 2 は電流不連続モード検出回路、1 7 はドライバ、2 1 はフィルタ回路である。

本実施形態に係るスイッチング電源は、第 1 実施形態と同様、整流スイッチ S 1、転流スイッチ S 2、出力チョーク L 1 並びに平滑コンデンサ C_{OUT} を備え、出力チョーク L 1 と平滑コンデンサ C_{OUT} とを直列に接続した電源回路を備えてある。この電源回路の出力側に制御回路を接続してある。この制御回路の出力は整流スイッチ S 1 と転流スイッチ S 2 に接続してある。

電源回路の出力側に電圧検出用の抵抗 R₁, R₂ を備え、これら抵抗 R₁, R₂ の接続部を誤差アンプ 1 1 の負の入力に接続し、この誤差アンプ 1 1 で検出電圧と基準電圧との誤差を増幅するように構成してある。この誤差アンプ 1 1 の出力を第一の比較器 1 2 の負の入力に接続し、同じくこの誤差アンプ 1 1 の出力を電圧分圧回路 3 1 に接続し、この電圧分圧回路 3 1 の出力を第二の比較器 1 3 の正の入力に接続し、フィルタ回路 2 1 より得られる三角波形と、出力電圧と基準電圧との誤差を増幅した第一の信号と、電圧分圧回路 3 1 により第一の信号を分圧して得られる第二の信号とを用いて、三角波形の振幅が第一の信号と第二の信号との間に収まるように構成してある。

具体的に、電圧分圧回路 3 1 は 3 つの抵抗 R₃, R₄, R₅ を直列に接続し、抵抗 R₃ と抵抗 R₄ で分圧比可変部を構成し、抵抗 R₃ の一端を誤差アンプ 1 1 の出力と第一の比較器 1 2 の負の入力間に接続し、抵抗 R₄ の他端を第二の比較器 1 3 の正の入力に接続してある。抵抗 R₄ と直列に接続する抵抗 R₅ は分圧比固定部を構成し、この抵抗 R₅ の他端を接地してある。また、抵抗 R₄ の両端に並列にスイッチ S を接続してある。このスイッチ S の制御端子には電流不連続モード検出回路 3 2 を接続してあり、この電流不連続モード検出回路 3 2 はドライバ 1 7 の入力及び、整流スイッチ S 1 並びに転流スイッチ S 2 の制御端子に接続してあり、電流不連続モードを検出した場合に、スイッチ S がオンして分圧比を自在に変更できるようにしてある。

出力チョーク L 1 と平滑コンデンサ C_{OUT} との直列回路と並列に、抵抗 R_{SAW1} と 2 つのコンデンサ C_{SAW1}, C_{SAW2} とを直列に接続して構成するフィルタ回路 2 1 を接続してある。このフィルタ回路 2 1 の出力を第一の比較器 1 2 の正の入力、並びに第二の比較器 1 3 の負の入力に接続してある。

第一の比較器 1 2 の出力をフリップフロップ回路 1 6 のリセット側の入力に接続する

とともに、第二の比較器 13 の出力をフリップフロップ回路 16 のセット側の入力に接続してある。このフリップフロップ回路 16 の出力をドライバ 17 の入力に接続し、このドライバ 17 の出力を整流スイッチ S 1 並びに転流スイッチ S 2 の制御端子に接続し、フィルタ回路 21 より得られる三角波形の振幅が第一の比較器 12 の一方の入力レベルと第二の比較器 13 の一方の入力レベルとの間に収まるように制御する構成にしてある。

以上のように構成してあるスイッチング電源は以下のような作用をする。先ず、電流連続モードの場合については、従来の制御手段を有するスイッチング電源とほぼ同様の作用をするため、説明を省略する。

続いて、不連続電流モードになった場合について説明する。この動作波形図を図 16 に示す。なお、図 16 の下側には出力電圧波形を、中央にはインダクタ電流波形を、上側には誤差アンプ 11 の出力、誤差アンプ 11 の出力を抵抗分割したもの、並びにフィルタ回路 21 により生成された 2 つのレベル内に収まるように制御される三角波をそれぞれ示してある。

図 16 の中央の図に示すように、電流が不連続モードになると、出力電圧が不安定になる。これを電流不連続モード検出回路 32 が検出する。この電流不連続モード検出回路 32 は検出信号を電圧分圧回路 31 に設けたスイッチ S に出力する。これによりスイッチ S はオンする。そのため、抵抗 R_4 はクランプされ、電圧分圧回路 31 の電圧分圧比が大きく変化し、三角波の振幅が変化する。これにより、出力電圧のリップルの増加を抑制することができる。

電流不連続モードから電流連続モードに切り替わると、電流不連続モード検出回路 32 が電流連続モードを検出する。この電流不連続モード検出回路 32 は検出信号を電圧分圧回路 31 に設けたスイッチ S に出力する。これによりスイッチ S はオフする。そのため、電圧分圧回路 31 の分圧比可変部の抵抗値は抵抗 R_3 と抵抗 R_4 との和となり、通常の状態に戻る。

図 17 は、本実施形態の第 1 変形例に係るスイッチング電源を示す。このスイッチング電源は、電源回路の出力側に誤差アンプ 11 の負の入力を接続し、この誤差アンプ 11 で検出電圧と基準電圧との誤差を増幅するように構成してある。この誤差アンプ 11 の出力に第一の比較器 12 の負の入力に接続し、同じくこの誤差アンプ 11 の出力を電圧分圧回路 31 を介して第二の比較器 13 の正の入力に接続してある。

出力チョーク L_1 と平滑コンデンサ C_{OUT} との直列回路と並列に、抵抗 R_{SAWI} とコンデンサ C_{SAWI} とを直列に接続して構成するフィルタ回路 22 を接続してある。この

フィルタ回路 2 2 の出力を第一の比較器 1 2 の正の入力、並びに第二の比較器 1 3 の負の入力に接続してある。

第一の比較器 1 2 の出力をフリップフロップ回路 1 6 のリセット側の入力に接続するとともに、第二の比較器 1 3 の出力をフリップフロップ回路 1 6 のセット側の入力に接続してある。このフリップフロップ回路 1 6 の出力をドライバ 1 7 の入力に接続し、このドライバ 1 7 の出力を整流スイッチ S 1 並びに転流スイッチ S 2 に接続し、フィルタ回路 2 2 より得られる三角波形の振幅が第一の比較器 1 2 の一方の入力レベルと第二の比較器 1 3 の一方の入力レベルとの間に収まるように構成してある。

以上のように構成してあるスイッチング電源は図 1 5 に示す実施形態とほぼ同様の作用をし、インダクタ電流の不連続状態を検出し、三角波の振幅を自動的に変化させる回路を内蔵することにより、安定した出力リップル特性を実現することができる。但し、本変形例では、電源回路の出力側に電圧検出用の抵抗を設けておらず、また、フィルタ回路 2 2 は図 1 5 に示す実施形態のフィルタ回路 2 1 と構成が異なる。

図 1 8 は、本実施形態の第 2 変形例に係るスイッチング電源を示す。このスイッチング電源は、電源回路の出力側に電圧検出用の抵抗 R 1, R 2 を備え、これら抵抗 R 1, R 2 の接続部を誤差アンプ 1 1 の負の入力に接続し、この誤差アンプ 1 1 で検出電圧と基準電圧との誤差を増幅するように構成してある。この誤差アンプ 1 1 の出力を第一の比較器 1 2 の負の入力に接続し、同じくこの誤差アンプ 1 1 の出力を電圧分圧回路 3 1 を介して第二の比較器 1 3 の正の入力に接続してある。

この変形例では、出力チョーク L 1 の入出力端間にフィルタ回路 2 3 を設けてある。このフィルタ回路 2 3 は以下のように構成してある。転流スイッチ S 2 と並列に、かつ出力チョーク L 1 の入力端側に 2 つの抵抗 R_{SAW1} , R_{SAW2} を直列に接続し、同じく転流スイッチ S 2 と並列に、かつ出力チョーク L 1 の出力端側に 2 つのコンデンサ C_{SAW1} , C_{SAW2} を直列に接続してある。直列に接続した抵抗 R_{SAW1} , R_{SAW2} の間、並びに直列に接続したコンデンサ C_{SAW1} , C_{SAW2} の間に接続部を設け、これら接続部を接続してフィルタ回路 2 3 を構成してある。前記接続部はフィルタ回路 2 3 の出力部であり、出力を第一の比較器 1 2 の正の入力、並びに第二の比較器 1 3 の負の入力に接続してある。

第一の比較器 1 2 の出力をフリップフロップ回路 1 6 のリセット側の入力に接続するとともに、第二の比較器 1 3 の出力をフリップフロップ回路 1 6 のセット側の入力に接続してある。このフリップフロップ回路 1 6 の出力をドライバ 1 7 の入力に接続し、こ

のドライバ 17 の出力を整流スイッチ S 1 並びに転流スイッチ S 2 に接続し、フィルタ回路 2 3 より得られる三角波形の振幅が第一の比較器 1 2 の一方の入力レベルと第二の比較器 1 3 の一方の入力レベルとの間に収まるように構成してある。

以上のように構成してあるスイッチング電源は図 1 5 に示す実施形態とほぼ同様の作用をし、インダクタ電流の不連続状態を検出し、三角波の振幅を自動的に変化させる回路を内蔵することにより、安定した出力リップル特性を実現することができる。

図 1 9 は、本実施形態の第 3 変形例であり、図 1 8 に示す変形例とはほぼ同様の構成を有する。このスイッチング電源は、電源回路の出力側に誤差アンプ 1 1 の負の入力を接続し、この誤差アンプ 1 1 で検出電圧と基準電圧との誤差を増幅するように構成してある。このスイッチング電源は図 1 7 に示す変形例とほぼ同様の作用をし、インダクタ電流の不連続状態を検出し、三角波の振幅を自動的に変化させる回路を内蔵することにより、安定した出力リップル特性を実現することができる。

図 2 0 は、本実施形態の第 4 変形例に係るスイッチング電源を示す。このスイッチング電源は、電源回路の出力側に電圧検出用の抵抗 R_1 、 R_2 を備え、これら抵抗 R_1 、 R_2 の接続部を誤差アンプ 1 1 の負の入力に接続し、この誤差アンプ 1 1 で検出電圧と基準電圧との誤差を増幅するように構成してある。この誤差アンプ 1 1 の出力を第一の比較器 1 2 の負の入力に接続し、同じくこの誤差アンプ 1 1 の出力を電圧分圧回路 3 1 を介して第二の比較器 1 3 の正の入力に接続してある。

この変形例では、出力チョーク L_1 と平滑コンデンサ C_{OUT} との間に電流検出用の抵抗 R_6 を接続してあり、この抵抗 R_6 の入力側をバッファアンプ 1 5 の正の入力に、出力側を同じくバッファアンプ 1 5 の負の入力にそれぞれ接続してある。このバッファアンプ 1 5 の出力にコンデンサ C_{SAW1} と 2 つの抵抗 R_{SAW1} 、 R_{SAW2} とを直列に接続して構成するフィルタ回路 2 4 を接続してある。このフィルタ回路 2 4 の出力を第一の比較器 1 2 の正の入力、並びに第二の比較器 1 3 の負の入力に接続してある。

第一の比較器 1 2 の出力をフリップフロップ回路 1 6 のリセット側の入力に接続するとともに、第二の比較器 1 3 の出力をフリップフロップ回路 1 6 のセット側の入力に接続してある。このフリップフロップ回路 1 6 の出力をドライバ 1 7 の入力に接続し、このドライバ 1 7 の出力を整流スイッチ S 1 並びに転流スイッチ S 2 に接続し、フィルタ回路 2 4 より得られる三角波形の振幅が第一の比較器 1 2 の一方の入力レベルと第二の比較器 1 3 の一方の入力レベルとの間に収まるように構成してある。

以上のように構成してあるスイッチング電源は図 1 5 に示す実施形態とほぼ同様の作

用をし、インダクタ電流の不連続状態を検出し、三角波の振幅を自動的に変化させる回路を内蔵することにより、安定した出力リップル特性を実現することができる。また、この変形例は電圧検出用の抵抗 R_1 、 R_2 を備えてあるとともに、フィルタ回路24をコンデンサ C_{SAW1} と2つの抵抗 R_{SAW1} 、 R_{SAW2} とを直列に接続して構成してあることにより、高周波成分のみを取り出すことができる。

図21は、本実施形態の第5変形例に係るスイッチング電源を示す。このスイッチング電源は、電源回路の出力側に誤差アンプ11の負の入力を接続し、この誤差アンプ11で検出電圧と基準電圧との誤差を増幅するように構成してある。この誤差アンプ11の出力を第一の比較器12の負の入力に接続し、同じくこの誤差アンプ11の出力を電圧分圧回路31を介して第二の比較器13の正の入力に接続してある。

この変形例では、出力チョーク L_1 と平滑コンデンサ C_{OUT} との間に電流検出用の抵抗 R_6 を接続してあり、この抵抗 R_6 の入力側をバッファアンプ15の正の入力に、出力側を同じくバッファアンプ15の負の入力にそれぞれ接続してある。このバッファアンプ15の出力をコンデンサ C_{SAW} と抵抗 R_{SAW1} とを直列に接続して構成するフィルタ回路25に接続してある。このフィルタ回路25の出力を第一の比較器12の正の入力、並びに第二の比較器13の負の入力に接続してある。

第一の比較器12の出力をフリップフロップ回路16のリセット側の入力に接続するとともに、第二の比較器13の出力をフリップフロップ回路16のセット側の入力に接続してある。このフリップフロップ回路16の出力をドライバ17の入力に接続し、このドライバ17の出力を整流スイッチ S_1 並びに転流スイッチ S_2 に接続し、フィルタ回路25より得られる三角波形の振幅が第一の比較器12の一方の入力レベルと第二の比較器13の一方の入力レベルとの間に収まるように構成してある。

以上のように構成してあるスイッチング電源は図17に示す変形例とほぼ同様の作用をし、インダクタ電流の不連続状態を検出し、三角波の振幅を自動的に変化させる回路を内蔵することにより、安定した出力リップル特性を実現することができる。

図22に示す第6変形例は、出力チョーク L_1 に電流検出回路33を接続し、この電流検出回路33の出力にコンデンサ C_{SAW1} と2つの抵抗 R_{SAW1} 、 R_{SAW2} とを直列に接続して構成するフィルタ回路24を接続してある。これ以外については図20に示す第4変形例とほぼ同様の構成である。以上のように構成してある図22に示す第6変形例のスイッチング電源は図20に示すスイッチング電源とほぼ同様の作用をする。

図23に示す第7変形例も出力チョーク L_1 に電流検出回路33を接続し、この電流

検出回路 3 3 の出力をコンデンサ C_{SAW} と抵抗 R_{SAW1} とを直列に接続して構成するフィルタ回路 2 5 を接続してある。これ以外については図 2 1 に示す第 5 変形例とほぼ同様の構成である。以上のように構成してある図 2 3 に示す第 7 変形例のスイッチング電源は図 2 1 に示すスイッチング電源とほぼ同様の作用をする。

図 2 4 に示す変形例は図 1 5 に示す実施態様に、図 2 5 に示す変形例は図 1 7 に示す変形例に、図 2 6 に示す変形例は、図 1 8 に示す変形例に、図 2 7 に示す変形例は図 1 9 に示す変形例に対応するもので、これらの変形例は、整流スイッチ S_1 に電流検出回路 3 4 を接続し、この電流検出回路 3 4 の出力を出力チョーク L_1 の出力端に接続した抵抗 R_{SAW1} の他端に接続してある。

以上のように構成してある図 2 4 乃至図 2 7 に示すスイッチング電源は、それぞれ対応する図 1 5、図 1 7、図 1 8 並びに図 1 9 に示すスイッチング電源とほぼ同様の作用をするが、これらに加え、これらのスイッチング電源は、フィルタ回路 2 1, 2 2, 2 3, 2 3 で電流検出回路 3 4 から流れた電流を加えるため、出力インピーダンスを調整することができる。

次に、本発明の第 3 実施形態に係るスイッチング電源を説明する。

図 2 8 は本実施形態に係るスイッチング電源を示す。C はコンデンサ、S はスイッチング素子、R は抵抗、Z はインピーダンス、1 1 は誤差アンプ、1 2, 1 3 は比較器、3 6 は電流源、1 6 はフリップフロップ回路、3 7 はアンプ、1 7 はドライバ、2 1 はフィルタ回路である。

本実施形態に係るスイッチング電源は、整流スイッチ S_1 、転流スイッチ S_2 、出力チョーク L_1 並びに平滑コンデンサ C_{OUT} を備え、出力チョーク L_1 と平滑コンデンサ C_{OUT} とを直列に接続した電源回路を備えてある。この電源回路の出力側に制御回路を接続してある。この制御回路の出力は整流スイッチ S_1 と転流スイッチ S_2 に接続してある。

電源回路の出力側に電圧検出用の抵抗 R_1 , R_2 を備え、これら抵抗 R_1 , R_2 の接続部を誤差アンプ 1 1 の負の入力に接続し、この誤差アンプ 1 1 で検出電圧と基準電圧との誤差を増幅するように構成してある。この誤差アンプ 1 1 の出力を第一の比較器 1 2 の負の入力に接続し、同じくこの誤差アンプ 1 1 の出力を分割抵抗 R_3 , R_4 を介して第二の比較器 1 3 の正の入力に接続してある。

分割抵抗 R_3 , R_4 の中点と接地電位との間に電流源 3 6 を接続してある。この電流源 3 6 にはアンプ 3 7 の出力信号が入力できるようにしてある。また、このアンプ 3 7 の

正の入力は整流スイッチ S_1 の入力側から接続しており、アンプ 37 の負の入力は出力チョーク L_1 の出力側から接続し、入出力電位差を検出できるようにしてある。

出力チョーク L_1 と平滑コンデンサ C_{OUT} との直列回路と並列に、抵抗 R_{SAW1} と 2 つのコンデンサ C_{SAW1} , C_{SAW2} とを直列に接続して構成するフィルタ回路 21 を接続してある。このフィルタ回路 21 の出力を第一の比較器 12 の正の入力、並びに第二の比較器 13 の負の入力に接続してある。

第一の比較器 12 の出力をフリップフロップ回路 16 のリセット側の入力に接続するとともに、第二の比較器 13 の出力をフリップフロップ回路 16 のセット側の入力に接続してある。このフリップフロップ回路 16 の出力をドライバ 17 の入力に接続し、このドライバ 17 の出力を整流スイッチ S_1 並びに転流スイッチ S_2 の制御端子に接続し、フィルタ回路 21 より得られる三角波形の振幅が第一の比較器 12 の一方の入力レベルと第二の比較器 13 の一方の入力レベルとの間に収まるように制御する構成にしてある。

以上のように構成してあるスイッチング電源は以下のような作用をする。なお、この動作波形図を図 29 及び図 30 で示し、図 29 では、入出力電位差が大きくなった場合、図 30 では、入出力電位差が小さくなった場合を示す。

本実施形態では、アンプ 37 の入力を整流スイッチ S_1 の入力側と出力チョーク L_1 の出力側に接続することにより、入出力電位差を検出する。アンプ 37 の出力信号は分割抵抗 R_3 , R_4 の中点と接地電位との間に接続した電流源 36 に出力される。即ち、入出力電位差に比例して電流源 36 に電流が流れ、これに伴い、分割抵抗 R_4 の抵抗値は小さくなる。分割抵抗 R_3 の抵抗値は一定であるため、図 29 に示すように、入出力電位差が大きくなると、分割抵抗 R_3 と分割抵抗 R_4 との電圧分圧比が大きくなり三角波の振幅も大きくなる。これにより発振周波数が低くなる。

逆に入出力電位差が小さくなると、アンプ 37 の出力信号は小さくなり、これに伴い、電流源に流れる電流も小さくなると、分割抵抗 R_4 の抵抗値は大きくなる。分割抵抗 R_3 の抵抗値は一定であるため、図 30 に示すように、入出力電位差が小さくなると、分割抵抗 R_3 と分割抵抗 R_4 との電圧分圧比が小さくなり、三角波の振幅も小さくなる。これにより発振周波数が高くなる。以上の動作により入出力電圧の変動に対し発振周波数の変化が抑制させるため、安定した発振周波数・出力リップル特性を実現する事が出来る。

図 31 は、本実施形態の第 1 変形例に係るスイッチング電源を示す。このスイッチング電源は、電源回路の出力側に誤差アンプ 11 の負の入力を接続し、この誤差アンプ 11 で検出電圧と基準電圧との誤差を増幅するように構成してある。この誤差アンプ 11

の出力に第一の比較器 1 2 の負の入力に接続し、同じくこの誤差アンプ 1 1 の出力を分割抵抗 R_3 , R_4 を介して第二の比較器 1 3 の正の入力に接続してある。

分割抵抗 R_3 , R_4 の中点と接地電位との間に電流源 3 6 を接続してある。この電流源 3 6 にはアンプ 3 7 の出力信号が入力できるようにしてある。また、このアンプ 3 7 の正の入力は整流スイッチ S 1 の入力側から接続してあり、アンプ 3 7 の負の入力は出力チョーク L 1 の出力側から接続し、入出力電位差を検出できるようにしてある。

出力チョーク L 1 と平滑コンデンサ C_{OUT} との直列回路と並列に、抵抗 R_{SAW1} とコンデンサ C_{SAW1} とを直列に接続して構成するフィルタ回路 2 2 を接続してある。このフィルタ回路 2 2 の出力を第一の比較器 1 2 の正の入力、並びに第二の比較器 1 3 の負の入力に接続してある。

第一の比較器 1 2 の出力をフリップフロップ回路 1 6 のリセット側の入力に接続するとともに、第二の比較器 1 3 の出力をフリップフロップ回路 1 6 のセット側の入力に接続してある。このフリップフロップ回路 1 6 の出力をドライバ 1 7 の入力に接続し、このドライバ 1 7 の出力を整流スイッチ S 1 並びに転流スイッチ S 2 に接続し、フィルタ回路 2 2 より得られる三角波形の振幅が第一の比較器 1 2 の一方の入力レベルと第二の比較器 1 3 の一方の入力レベルとの間に収まるように構成してある。

以上のように構成してあるスイッチング電源は図 2 8 に示す実施形態とほぼ同様の作用をし、入出力電圧差に比例して三角波の振幅を自動的に変化させる回路を内蔵することにより、安定した出力リップル特性を実現することができる。但し、本変形例では、電源回路の出力側に電圧検出用の抵抗を設けておらず、また、フィルタ回路 2 2 は図 2 8 に示す実施態様のフィルタ回路 2 1 と構成が異なる。

図 3 2 は、本実施形態の第 2 変形例に係るスイッチング電源を示す。このスイッチング電源は、電源回路の出力側に電圧検出用の抵抗 R_1 , R_2 を備え、これら抵抗 R_1 , R_2 の接続部を誤差アンプ 1 1 の負の入力に接続し、この誤差アンプ 1 1 で検出電圧と基準電圧との誤差を増幅するように構成してある。この誤差アンプ 1 1 の出力を第一の比較器 1 2 の負の入力に接続し、同じくこの誤差アンプ 1 1 の出力を分割抵抗 R_3 , R_4 を介して第二の比較器 1 3 の正の入力に接続してある。

この変形例では、出力チョーク L 1 の入出力端間にフィルタ回路 2 3 を設けてある。このフィルタ回路 2 3 は以下のように構成してある。転流スイッチ S 2 と並列に、かつ出力チョーク L 1 の入力端側に 2 つの抵抗 R_{SAW1} , R_{SAW2} を直列に接続し、同じく転流スイッチ S 2 と並列に、かつ出力チョーク L 1 の出力端側に 2 つのコンデンサ C_{SAW}

1. C_{SAW2} を直列に接続してある。直列に接続した抵抗 R_{SAW1} , R_{SAW2} の間、並びに直列に接続したコンデンサ C_{SAW1} , C_{SAW2} の間に接続部を設け、これら接続部を接続してフィルタ回路23を構成してある。前記接続部はフィルタ回路23の出力部であり、出力を第一の比較器12の正の入力、並びに第二の比較器13の負の入力に接続してある。

第一の比較器12の出力をフリップフロップ回路16のリセット側の入力に接続するとともに、第二の比較器13の出力をフリップフロップ回路16のセット側の入力に接続してある。このフリップフロップ回路16の出力をドライバ17の入力に接続し、このドライバ17の出力を整流スイッチS1並びに転流スイッチS2に接続し、フィルタ回路23より得られる三角波形の振幅が第一の比較器12の一方の入力レベルと第二の比較器13の一方の入力レベルとの間に収まるように構成してある。

以上のように構成してあるスイッチング電源は図28に示す実施形態とほぼ同様の作用をし、入出力電圧差に比例して三角波の振幅を自動的に変化させる回路を内蔵することにより、安定した出力リップル特性を実現することができる。

図33は、本実施形態の第3変形例であり、図32に示す変形例とはほぼ同様の構成を有する。このスイッチング電源は、電源回路の出力側に誤差アンプ11の負の入力を接続し、この誤差アンプ11で検出電圧と基準電圧との誤差を増幅するように構成してある。このスイッチング電源は図32に示す変形例とほぼ同様の作用をし、入出力電圧差に比例して三角波の振幅を自動的に変化させる回路を内蔵することにより、安定した出力リップル特性を実現することができる。

図34は、本実施形態の第4変形例に係るスイッチング電源を示す。このスイッチング電源は、電源回路の出力側に電圧検出用の抵抗 R_1 , R_2 を備え、これら抵抗 R_1 , R_2 の接続部を誤差アンプ11の負の入力に接続し、この誤差アンプ11で検出電圧と基準電圧との誤差を増幅するように構成してある。この誤差アンプ11の出力を第一の比較器12の負の入力に接続し、同じくこの誤差アンプ11の出力を分割抵抗 R_3 , R_4 を介して第二の比較器13の正の入力に接続してある。

この変形例では、出力チョークL1と平滑コンデンサ C_{OUT} との間に電流検出用の抵抗 R_5 を接続してあり、この抵抗 R_5 の入力側をバッファアンプ15の正の入力に、出力側を同じくバッファアンプ15の負の入力にそれぞれ接続してある。このバッファアンプ15の出力にコンデンサ C_{SAW1} と2つの抵抗 R_{SAW1} , R_{SAW2} とを直列に接続して構成するフィルタ回路24を接続してある。このフィルタ回路24の出力を第一の比較

器 1 2 の正の入力、並びに第二の比較器 1 3 の負の入力に接続してある。

第一の比較器 1 2 の出力をフリップフロップ回路 1 6 のリセット側の入力に接続するとともに、第二の比較器 1 3 の出力をフリップフロップ回路 1 6 のセット側の入力に接続してある。このフリップフロップ回路 1 6 の出力をドライバ 1 7 の入力に接続し、このドライバ 1 7 の出力を整流スイッチ S 1 並びに転流スイッチ S 2 に接続し、フィルタ回路 2 4 より得られる三角波形の振幅が第一の比較器 1 2 の一方の入力レベルと第二の比較器 1 3 の一方の入力レベルとの間に収まるように構成してある。

以上のように構成してあるスイッチング電源は図 2 8 に示す実施態様とほぼ同様の作用をし、入出力電圧差に比例して三角波の振幅を自動的に変化させる回路を内蔵することにより、安定した出力リップル特性を実現することができる。また、この変形例は電圧検出用の抵抗 R_1 、 R_2 を備えてあるとともに、フィルタ回路 2 4 をコンデンサ C_{SAW1} と 2 つの抵抗 R_{SAW1} 、 R_{SAW2} とを直列に接続して構成してあることにより、高周波成分のみを取り出すことができる。

図 3 5 は、本実施形態の第 5 変形例に係るスイッチング電源を示す。このスイッチング電源は、電源回路の出力側に誤差アンプ 1 1 の負の入力を接続し、この誤差アンプ 1 1 で検出電圧と基準電圧との誤差を増幅するように構成してある。この誤差アンプ 1 1 の出力を第一の比較器 1 2 の負の入力に接続し、同じくこの誤差アンプ 1 1 の出力を分割抵抗 R_3 、 R_4 を介して第二の比較器 1 3 の正の入力に接続してある。

この変形例では、出力チョーク L 1 と平滑コンデンサ C_{OUT} との間に電流検出用の抵抗 R_6 を接続してあり、この抵抗 R_6 の入力側をバッファアンプ 1 5 の正の入力に、出力側を同じくバッファアンプ 1 5 の負の入力にそれぞれ接続してある。このバッファアンプ 1 5 の出力をコンデンサ C_{SAW} と抵抗 R_{SAW1} とを直列に接続して構成するフィルタ回路 2 5 を接続してある。このフィルタ回路 2 5 の出力を第一の比較器 1 2 の正の入力、並びに第二の比較器 1 3 の負の入力に接続してある。

第一の比較器 1 2 の出力をフリップフロップ回路 1 6 のリセット側の入力に接続するとともに、第二の比較器 1 3 の出力をフリップフロップ回路 1 6 のセット側の入力に接続してある。このフリップフロップ回路 1 6 の出力をドライバ 1 7 の入力に接続し、このドライバ 1 7 の出力を整流スイッチ S 1 並びに転流スイッチ S 2 に接続し、フィルタ回路 2 5 より得られる三角波形の振幅が第一の比較器 1 2 の一方の入力レベルと第二の比較器 1 3 の一方の入力レベルとの間に収まるように構成してある。

以上のように構成してあるスイッチング電源は図 3 1 に示す変形例とほぼ同様の作用

をし、入出力電圧差に比例して三角波の振幅を自動的に変化させる回路を内蔵することにより、安定した出力リップル特性を実現することができる。

図 3 6 に示す第 6 変形例は、出力チョーク L_1 に電流検出回路 3 3 を接続し、この電流検出回路 3 3 の出力にコンデンサ C_{SAW1} と 2 つの抵抗 R_{SAW1} 、 R_{SAW2} とを直列に接続して構成するフィルタ回路 2 4 を接続してある。これ以外については図 3 4 に示す変形例とほぼ同様の構成である。以上のように構成してある図 3 6 に示すスイッチング電源は図 3 4 に示すスイッチング電源とほぼ同様の作用をする。

図 3 7 に示す第 7 変形例も出力チョーク L_1 に電流検出回路 3 3 を接続し、この電流検出回路 3 3 の出力をコンデンサ C_{SAW} と抵抗 R_{SAW1} とを直列に接続して構成するフィルタ回路 2 5 を接続してある。これ以外については図 3 5 に示す変形例とほぼ同様の構成である。以上のように構成してある図 3 7 に示すスイッチング電源は図 3 5 に示すスイッチング電源とほぼ同様の作用をする。

図 3 8 に示す変形例は図 2 8 に示す実施形態に、図 3 9 に示す変形例は図 3 1 に示す変形例に、図 4 0 に示す変形例は、図 3 2 に示す変形例に、図 4 1 に示す変形例は図 3 3 に示す変形例に対応するもので、これらの変形例は、整流スイッチ S_1 に電流検出回路 3 4 を接続し、この電流検出回路 3 4 の出力を出力チョーク L_1 の出力端に接続した抵抗 R_{SAW1} の他端に接続してある。

以上のように構成してある図 3 8 乃至図 4 1 に示すスイッチング電源は、それぞれ対応する図 2 8、図 3 1、図 3 2 並びに図 3 3 に示すスイッチング電源とほぼ同様の作用をするが、これらに加え、これらのスイッチング電源は、フィルタ回路 2 1、2 2、2 3、2 3 で電流検出回路 3 4 から流れた電流を加えるため、出力インピーダンスを調整することができる。

次に、本発明の第 4 実施形態に係るスイッチング電源を説明する。図 4 2 は本実施形態に係るスイッチング電源を示す。 C はコンデンサ、 S はスイッチング素子、 R は抵抗、 Z はインピーダンス、1 1 は誤差アンプ、1 2、1 3 は比較器、3 9 は OR 回路、1 6 はフリップフロップ回路、1 7 はドライバ、2 1 はフィルタ回路である。

本実施形態に係るスイッチング電源は、整流スイッチ S_1 、転流スイッチ S_2 、出力チョーク L_1 並びに平滑コンデンサ C_{OUT} を備え、出力チョーク L_1 と平滑コンデンサ C_{OUT} とを直列に接続した電源回路を備えてある。この電源回路の出力側に制御回路を接続してある。この制御回路の出力は整流スイッチ S_1 と転流スイッチ S_2 に接続してある。

電源回路の出力側に電圧検出用の抵抗 R_1 、 R_2 を備え、これら抵抗 R_1 、 R_2 の接続部を誤差アンプ11の負の入力に接続し、この誤差アンプ11で検出電圧と基準電圧との誤差を増幅して誤差増幅信号を出力するように構成してある。この誤差アンプ11の出力に第一の比較器12の負の入力に接続し、同じくこの誤差アンプ11の出力を分割抵抗 R_3 、 R_4 を介して第二の比較器13の正の入力に接続し、分圧信号を出力するようにしてある。

出力チョーク L_1 と平滑コンデンサ C_{OUT} との直列回路と並列に、抵抗 R_{SAW1} と2つのコンデンサ C_{SAW1} 、 C_{SAW2} とを直列に接続して構成するフィルタ回路21を接続してある。このフィルタ回路21の出力を第一の比較器12の正の入力、並びに第二の比較器13の負の入力に接続してある。

第一の比較器12の出力をフリップフロップ回路16のリセット側の入力に接続し、第一の比較信号を出力するようにしてある。また、第二の比較器13の出力をOR回路39の一方の入力に接続して、第二の比較信号を出力するようにしてある。OR回路39の他方の入力にはクロック信号を入力し、フリップフロップ回路16のセット側にこのOR回路39の出力を接続して、定常時にはクロック信号を、負荷急変した際には第二の比較信号をそれぞれ出力するようにしてある。このフリップフロップ回路16の出力をドライバ17の入力に接続し、このドライバ17の出力を整流スイッチ S_1 並びに転流スイッチ S_2 の制御端子に接続し、フィルタ回路21より得られる三角波形の振幅が負荷急変時に前記誤差増幅信号と前記分圧信号との間に収まるように制御し、定常時に整流スイッチ S_1 のオンのタイミングを前記クロック信号で固定するように制御する構成にしてある。

以上のように構成してあるスイッチング電源は以下のような作用をする。まず、定常時については、前記クロック信号がOR回路39を介しフリップフロップ回路16のセット側に入力される事で整流スイッチ S_1 がオンし転流スイッチ S_2 はオフする。整流スイッチ S_1 がオンする事で出力電圧が発生し出力に接続されている誤差アンプ11が誤差増幅信号を出力する。この誤差増幅信号と、転流スイッチ S_2 と並列に接続されたフィルタ回路21によって生成された三角波形を比較し、三角波形が誤差増幅信号より大きくなった時にフリップフロップ回路16のリセット側に入力される事で整流スイッチ S_1 がオフし転流スイッチがオンする。以上を繰り返して動作する。

次に負荷が急減した場合について説明する。負荷電流が急激に減少すると、出力電圧が瞬間的に跳ね上がり、チョーク電流が急激に減少する。このとき、電源回路に備えた

出力チョーク L_1 と平滑コンデンサ C_{OUT} との直列回路と並列に接続したフィルタ回路 21 により得られる三角波形と、誤差アンプ 11 により出力電圧と基準電圧との誤差を増幅して生成される 2 つのレベルとを使い、第一の比較器 12 で比較して得られた第一の比較信号をフリップフロップ回路 16 のリセット側に入力する。これとともに、電源回路に備えた出力チョーク L_1 と平滑コンデンサ C_{OUT} との直列回路と並列に接続したフィルタ回路 21 により得られる三角波形と、誤差アンプ 11 により出力電圧と基準電圧との誤差を増幅した信号から分割抵抗 R_3 , R_4 により抵抗分割して生成される 2 つのレベルとを使い、第二の比較器 13 で比較して得られた第二の比較信号を OR 回路 39 を介してフリップフロップ回路 16 のセット側に入力する。このように信号を入力することにより、三角波の振幅が前記 2 つのレベルの間に収まるように制御を行っている。

三角波形の振幅が前記 2 つのレベルの間に収まるように制御を行っているため、三角波形の下り傾斜はチョーク電流が減少する期間であり、三角波形の登り傾斜は出力チョーク L_1 を流れる電流が増加する期間である。この方式では、誤差増幅信号が変動したとき、その変動量の大きさに応じて三角波形の周波数及びデューティ比が変化する。前記 2 つのレベルの間に三角波形が収まるように制御を行うことで、誤差増幅信号と三角波形との波形の位相差は最大 90 度で固定される。三角波形はまた、出力チョーク L_1 と平滑コンデンサ C_{OUT} との直列回路の手前に接続されている整流スイッチ S_1 のオン／オフにより生成されるため、整流スイッチ S_1 の動作状態と誤差増幅信号との位相差も固定されることになる。このため、誤差増幅信号の周波数帯域を下げなくても安定性を確保することが可能となり、スイッチング電源として応答速度を飛躍的に改善することができる。

また、誤差アンプ 11 の出力信号に応じて、(電源における 2 つのスイッチの駆動状態を示す) 三角波形の周波数及び位相が瞬時に変化し、それに応じてチョーク電流も変化するために高速な応答が実現できており、出力電圧の跳ね上がりを最大限に抑えることができる。

続いて、負荷が急増した場合について説明する。この動作波形図を図 43 に示す。なお、図 43 の上側にはチョーク電流波形を、下側には出力電圧波形をそれぞれ示してある。負荷電流が急激に増大すると、図 43 に示す通り、出力電圧が瞬間的に落ち込み、チョーク電流が急激に増大する。

このとき、電源回路に備えた出力チョーク L_1 と平滑コンデンサ C_{OUT} と並列に接続したフィルタ回路 21 により得られる三角波形と、誤差アンプ 11 により出力電圧と基

準電圧との誤差を増幅して生成される2つのレベルとを使い、第一の比較器12で比較して得られた第一の比較信号をフリップフロップ回路16のリセット側に入力する。これとともに、電源回路に備えた出力チョークL1と平滑コンデンサC_{OUT}との直列回路と並列に接続したフィルタ回路21により得られる三角波形と、誤差アンプ11により出力電圧と基準電圧との誤差を増幅した誤差増幅信号から分割抵抗R₃, R₄により抵抗分割して生成される2つのレベルとを使い、第二の比較器13で比較して得られた第二の比較信号をOR回路39の一方の入力に入力し、このOR回路39の他方の入力にクロック信号を入力する。定常時ではOR回路39からクロック信号を出力するが、負荷急変すると、OR回路39から第二の比較信号が出力し、この第二の比較信号をフリップフロップ回路16のセット側に入力する。フリップフロップ回路16では、整流スイッチS1に出力する信号がクロック信号から第二の比較信号に切り換わり、フィルタ回路21より得られる三角波形の振幅が誤差増幅信号と分圧信号との間に収まる。

三角波形の振幅が前記2つの信号の間に収まるように制御を行っているため、この方式では、誤差増幅信号が変動したとき、その変動量の大きさに応じて三角波形の周波数及びデューティ比が変化する。前記2つのレベルの間に三角波形が収まるように制御を行うことで、誤差増幅信号と三角波形との波形の位相差は最大90度で固定される。三角波形はまた、出力チョークL1と平滑コンデンサC_{OUT}との直列回路の手前に接続されている整流スイッチS1のオン/オフにより生成されるため、整流スイッチS1の動作状態と誤差増幅信号との位相差も固定されることになる。このため、誤差増幅信号の周波数帯域を下げなくても安定性を確保することが可能となり、スイッチング電源として応答速度を飛躍的に改善することができる。

また、誤差アンプ11の出力信号に応じて、(電源における2つのスイッチの駆動状態を示す)三角波の周波数及び位相が瞬時に変化し、それに応じてインダクタ電流も変化するために高速な応答が実現できており、出力電圧の変動を最大限に抑えることができる。

図44は、本実施形態の第1変形例に係るスイッチング電源を示す。本変形例に係るスイッチング電源は、図42に示す実施態様と同様に、整流スイッチS1、転流スイッチS2、出力チョークL1並びに平滑コンデンサC_{OUT}を備え、出力チョークL1と平滑コンデンサC_{OUT}とを直列に接続した電源回路を備えてある。この電源回路の出力側に制御回路を接続してある。この制御回路の出力は整流スイッチS1と転流スイッチS2に接続してある。

電源回路の出力側に電圧検出用の抵抗 R_1 、 R_2 を備え、これら抵抗 R_1 、 R_2 の接続部を誤差アンプ11の負の入力に接続し、この誤差アンプ11で検出電圧と基準電圧との誤差を増幅して誤差増幅信号を出力するように構成してある。この誤差アンプ11の出力を第一の比較器12の負の入力に接続し、同じくこの誤差アンプ11の出力を分割抵抗 R_3 、 R_4 を介して第二の比較器13の正の入力に接続し、分圧信号を出力するようにしてある。

出力チョーク L_1 と平滑コンデンサ C_{OUT} との直列回路と並列に、抵抗 R_{SAW1} と2つのコンデンサ C_{SAW1} 、 C_{SAW2} とを直列に接続して構成するフィルタ回路21を接続してある。このフィルタ回路21の出力を第一の比較器12の正の入力、並びに第二の比較器13の負の入力に接続してある。

第二の比較器13の出力をフリップフロップ回路16のセット側の入力に接続し、第二の比較信号を出力するようにしてある。また、第一の比較器12の出力をOR回路39の一方の入力に接続して、第一の比較信号を出力するようにしてある。OR回路39の他方の入力にはクロック信号を入力し、フリップフロップ回路16のリセット側にこのOR回路39の出力を接続して、定常時にはクロック信号を、負荷急変した際には第一の比較信号をそれぞれ出力するようにしてある。このフリップフロップ回路16の出力をドライバ17の入力に接続し、このドライバ17の出力を整流スイッチS1並びに転流スイッチS2の制御端子に接続し、フィルタ回路21より得られる三角波形の振幅が負荷急変時に前記誤差増幅信号と前記分圧信号との間に収まるように制御し、定常時に整流スイッチS1のオフのタイミングを前記クロック信号で固定するように制御する構成にしてある。

以上のように構成してあるスイッチング電源は図42に示す実施態様とほぼ同様な作用をする。ただし、本変形例は、第一の比較器12から得られる第一の比較信号とクロック信号とを付き合わせ、整流スイッチS1に出力し、負荷急変時に整流スイッチS1への出力信号をクロック信号から第一の比較信号へ切り換えて、フィルタ回路21から得られる三角波形の振幅が誤差増幅信号と分割抵抗 R_3 、 R_4 から得られる分圧信号との間に収まるように制御し、定常時に前記整流スイッチのオフのタイミングをクロック信号で固定するようにした点で作用は異なる。なお、以下の変形例においても上記変形例のように、定常時に整流スイッチS1のオフのタイミングをクロック信号で固定する構成を有することが可能である。

図45は、本実施形態の第2変形例に係るスイッチング電源を示す。本変形例に係る

スイッチング電源は、図 4 2 に示す実施形態と同様に、整流スイッチ S_1 、転流スイッチ S_2 、出力チョーク L_1 並びに平滑コンデンサ C_{OUT} を備え、出力チョーク L_1 と平滑コンデンサ C_{OUT} とを直列に接続した電源回路を備えてある。この電源回路の出力側に制御回路を接続してある。この制御回路の出力は整流スイッチ S_1 と転流スイッチ S_2 に接続してある。

電源回路の出力側に電圧検出用の抵抗 R_1 、 R_2 を備え、これら抵抗 R_1 、 R_2 の接続部を誤差アンプ 11 の負の入力に接続し、この誤差アンプ 11 で検出電圧と基準電圧との誤差を増幅して誤差増幅信号を出力するように構成してある。この誤差アンプ 11 の出力を比較器 12 の負の入力に接続してある。

出力チョーク L_1 と平滑コンデンサ C_{OUT} との直列回路と並列に、抵抗 R_{SAW1} と 2 つのコンデンサ C_{SAW1} 、 C_{SAW2} とを直列に接続して構成するフィルタ回路 21 を接続してある。このフィルタ回路 21 の出力を比較器 12 の正の入力に接続してある。

比較器 12 の出力をフリップフロップ回路 16 のリセット側の入力に接続し、第一の比較信号を出力するようにしてある。また、クロック信号をフリップフロップ回路 16 のセット側に接続して、クロック信号を出力するようにしてある。このフリップフロップ回路 16 の出力をドライバ 17 の入力に接続し、このドライバ 17 の出力を整流スイッチ S_1 並びに転流スイッチ S_2 の制御端子に接続し、フィルタ回路 21 より得られる三角波形と誤差増幅信号とを比較して比較信号を出力して、整流スイッチ S_1 のオンのタイミングを前記クロック信号で固定するように制御する構成にしてある。

以上のように構成してあるスイッチング電源は図 4 2 に示す実施形態において必要不可欠な部材以外を取り除いて構成したため図 4 2 に示す実施態様とほぼ同様な作用をする。ただし、本変形例は、図 4 2 に示す実施態様と異なり、図 4 2 に示す実施態様で示す第二の比較器 13 が無いため、第二の比較器 13 より出力される第二の比較信号とクロック信号とを付き合わせる作用はなく、誤差増幅信号をフィルタ回路 21 より得られる三角波形とを比較して比較信号を整流スイッチ S_1 に出力し、整流スイッチ S_1 のオンのタイミングをクロック信号で固定する。なお、図 4 7 以下の変形例においても上記変形例のように、整流スイッチ S_1 のオンのタイミングをクロック信号で固定する構成を有することが可能である。

図 4 6 は、本実施形態の第 3 変形例に係るスイッチング電源を示す。本変形例に係るスイッチング電源は図 4 4 に示す第 1 変形例の変形例であり、図 4 4 に示す第 1 変形例と同様に、整流スイッチ S_1 、転流スイッチ S_2 、出力チョーク L_1 並びに平滑コンデ

ンサ C_{OUT} を備え、出力チョーク L_1 と平滑コンデンサ C_{OUT} とを直列に接続した電源回路を備えてある。この電源回路の出力側に制御回路を接続してある。この制御回路の出力は整流スイッチ S_1 と転流スイッチ S_2 に接続してある。

電源回路の出力側に電圧検出用の抵抗 R_1 、 R_2 を備え、これら抵抗 R_1 、 R_2 の接続部を誤差アンプ11の負の入力に接続し、この誤差アンプ11で検出電圧と基準電圧との誤差を増幅して誤差増幅信号を出力するように構成してある。この誤差アンプ11の出力を分割抵抗 R_3 、 R_4 を介して比較器13の正の入力に接続し、分圧信号を出力するようにしてある。

出力チョーク L_1 と平滑コンデンサ C_{OUT} との直列回路と並列に、抵抗 R_{SAW1} と2つのコンデンサ C_{SAW1} 、 C_{SAW2} とを直列に接続して構成するフィルタ回路21を接続してある。このフィルタ回路21の出力を比較器13の負の入力に接続してある。

比較器13の出力をフリップフロップ回路16のセット側の入力に接続し、比較信号を出力するようにしてある。また、クロック信号をフリップフロップ回路16のリセット側に接続して、クロック信号を出力するようにしてある。このフリップフロップ回路16の出力をドライバ17の入力に接続し、このドライバ17の出力を整流スイッチ S_1 並びに転流スイッチ S_2 の制御端子に接続し、フィルタ回路21より得られる三角波形と誤差増幅信号とを比較して比較信号を出力して、整流スイッチ S_1 のオフのタイミングを前記クロック信号で固定するように制御する構成にしてある。

以上のように構成してあるスイッチング電源は図44に示す第1変形例において必要不可欠な部材以外を取り除いて構成したため図44に示す第1変形例とほぼ同様な作用をする。ただし、本変形例は、図44に示す変形例と異なり、図44に示す第一の比較器12が無い場合、第一の比較器12より出力される第一の比較信号とクロック信号とを付き合わせる作用はなく、誤差増幅信号をフィルタ回路21より得られる三角波形とを比較して比較信号を整流スイッチ S_1 に出力し、整流スイッチ S_1 のオフのタイミングをクロック信号で固定する。なお、以下の変形例においても上記変形例のように、整流スイッチ S_1 のオフのタイミングをクロック信号で固定する構成を有することが可能である。

図47は、本実施形態の第4変形例であり、図42に示す実施態様をマルチフェーズ化したスイッチング電源を示す。このスイッチング電源は、共通の電源 V_{in} を有し、2つの電源回路を有する。2つの電源回路は、それぞれ、整流スイッチ S_1 、転流スイッチ S_2 、出力チョーク L_1 並びに平滑コンデンサ C_{OUT} を備え、出力チョーク L_1 と平

滑コンデンサ C_{OUT} とを直列に接続した電源回路を備えてある。これら電源回路の出力側は共通になっており、電圧検出用の抵抗 R_1 、 R_2 を介して制御回路を接続してある。

電圧検出用の抵抗 R_1 、 R_2 の接続部を誤差アンプ 11 の負の入力に接続し、この誤差増幅器 11 で検出電圧と基準電圧との誤差を増幅して誤差増幅信号を出力するように構成してある。この誤差アンプ 11 の出力には 2 つ設けた第一の比較器 12 の負の入力に接続してあり、同じくこの誤差アンプ 11 の出力を分割抵抗 R_3 、 R_4 を介して 2 つ設けた第二の比較器 13 の正の入力に接続してある。

出力チョーク L_1 と平滑コンデンサ C_{OUT} との直列回路と並列に、抵抗 R_{SAW1} と 2 つのコンデンサ C_{SAW1} 、 C_{SAW2} とを直列に接続して構成するフィルタ回路 21 を接続してある。このフィルタ回路 21 の出力を第一の比較器 12 の正の入力、並びに第二の比較器 13 の負の入力に接続してある。

第一の比較器 12 の出力をフリップフロップ回路 16 のリセット側の入力に接続し、第一の比較信号を出力するようにしてある。また、第二の比較器 13 の出力を OR 回路 39 の一方の入力に接続して、第二の比較器 13 から OR 回路 39 へ第二の比較信号を出力するようにしてある。OR 回路 39 の他方の入力にはクロック信号を入力し、フリップフロップ回路 16 のセット側にこの OR 回路 39 の出力を接続して、定常時にはクロック信号を、負荷急変した際には第二の比較信号をそれぞれ出力するようにしてある。このフリップフロップ回路 16 の出力をドライバ 17 の入力に接続し、このドライバ 17 の出力を整流スイッチ S_1 並びに転流スイッチ S_2 の制御端子に接続し、フィルタ回路 21 より得られる三角波形の振幅が負荷急変時に誤差増幅信号と分圧信号との間に収まるように制御し、定常時に整流スイッチ S_1 のオンのタイミングをクロック信号で固定するように制御する構成にしてある。

以上のように構成してあるスイッチング電源は以下のような作用をする。定常時及び負荷急減時については、図 4 2 に示すシングルの場合とほぼ同様の作用をするため、説明を省略する。

次に負荷が急増した場合について説明する。この動作波形図を図 4 8 に示す。なお、図 4 8 の上側にはチョーク電流波形を、下側には出力電圧波形をそれぞれ示してある。負荷電流が急激に増大すると、図 4 8 に示す通り、出力電圧が瞬間的に落ち込み、それぞれのチョーク電流が急激に増大する。

このときも、図 4 2 に示す実施態様と同様にそれぞれのフィルタ回路 21 により得られる三角波形と、誤差アンプ 11 により出力電圧と基準電圧との誤差を増幅して生成さ

れる2つのレベルとを使い、第一の信号をフリップフロップ回路16のリセット側に入力する。これとともに、フィルタ回路21により得られる三角波形と、誤差アンプ11により出力電圧と基準電圧との誤差を増幅した誤差増幅信号から分割抵抗 R_3 , R_4 により抵抗分割して生成される2つのレベルとを使い、第二の比較器13で比較して得られた第二の比較信号をOR回路39の一方の入力に入力し、このOR回路39の他方の入力にクロック信号を入力する。定常時ではOR回路39からクロック信号を出力するが、負荷急変すると、OR回路39から第二の比較信号が出力し、この第二の比較信号をフリップフロップ回路16のセット側に入力する。フリップフロップ回路16では、整流スイッチS1に出力する信号がクロック信号から第二の比較信号に切り換わり、フィルタ回路21より得られる三角波形の振幅が誤差増幅信号と分圧信号との間に収まる。よって、マルチフェーズ化した場合もシングルの場合と同様に作用する。なお、本変形例では電源回路を2つ設けてマルチフェーズ化したが、電源回路を3つ以上設けてマルチフェーズ化しても同様な作用をする。また、以下の変形例においてもマルチフェーズ化が可能である。

図49は、本実施形態の第5変形例に係るスイッチング電源を示す。このスイッチング電源は、電源回路の出力側に誤差アンプ11の負の入力を接続し、この誤差アンプ11で検出電圧と基準電圧との誤差を増幅するように構成してある。この誤差アンプ11の出力を第一の比較器12の負の入力に接続し、同じくこの誤差アンプ11の出力を分割抵抗 R_3 , R_4 を介して第二の比較器13の正の入力に接続してある。

出力チョークL1と平滑コンデンサ C_{OUT} との直列回路と並列に、抵抗 R_{SAW1} とコンデンサ C_{SAW1} とを直列に接続して構成するフィルタ回路22を接続してある。このフィルタ回路22の出力を第一の比較器12の正の入力、並びに第二の比較器13の負の入力に接続してある。

第一の比較器12の出力をフリップフロップ回路16のリセット側の入力に接続し、第一の信号を出力するようにしてある。また、第二の比較器13の出力をOR回路39の一方の入力に接続してある。OR回路39の他方の入力にはクロック信号を入力し、フリップフロップ回路16のセット側にこのOR回路39の出力を接続して、定常時にはクロック信号を、負荷急変した際には第二の比較信号をそれぞれ出力するようにしてある。このフリップフロップ回路16の出力をドライバ17の入力に接続し、このドライバ17の出力を整流スイッチS1並びに転流スイッチS2の制御端子に接続し、フィルタ回路22より得られる三角波形の振幅が負荷急変時に誤差増幅信号と分圧信号との

間に収まるように制御し、定常時に整流スイッチ S_1 のオンのタイミングを前記クロック信号で固定するように制御する構成にしてある。

以上のように構成してあるスイッチング電源は図 4 2 に示す実施形態とほぼ同様の作用をし、定常時に整流スイッチ S_1 のオンのタイミングをクロック信号で固定するようにしたことにより、発振周波数が固定となる。但し、本変形例では、電源回路の出力側に電圧検出用の抵抗を設けておらず、また、フィルタ回路 2 2 は図 4 2 に示す実施形態のフィルタ回路 2 1 と構成が異なる。

図 5 0 は、本実施形態の第 6 変形例に係るスイッチング電源を示す。このスイッチング電源は、電源回路の出力側に電圧検出用の抵抗 R_1 、 R_2 を備え、これら抵抗 R_1 、 R_2 の接続部を誤差アンプ 1 1 の負の入力に接続し、この誤差アンプ 1 1 で検出電圧と基準電圧との誤差を増幅するように構成してある。この誤差アンプ 1 1 の出力に第一の比較器 1 2 の負の入力に接続し、同じくこの誤差アンプ 1 1 の出力を分割抵抗 R_3 、 R_4 を介して第二の比較器 1 3 の正の入力に接続してある。

この変形例では、出力チョーク L_1 の入出力端間にフィルタ回路 2 3 を設けてある。このフィルタ回路 2 3 は以下のように構成してある。転流スイッチ S_2 と並列に、かつ出力チョーク L_1 の入力端側に 2 つの抵抗 R_{SAW1} 、 R_{SAW2} を直列に接続し、同じく転流スイッチ S_2 と並列に、かつ出力チョーク L_1 の出力端側に 2 つのコンデンサ C_{SAW1} 、 C_{SAW2} を直列に接続してある。直列に接続した抵抗 R_{SAW1} 、 R_{SAW2} の間、並びに直列に接続したコンデンサ C_{SAW1} 、 C_{SAW2} の間に接続部を設け、これら接続部を接続してフィルタ回路 2 3 を構成してある。前記接続部はフィルタ回路 2 3 の出力部であり、出力を第一の比較器 1 2 の正の入力、並びに第二の比較器 1 3 の負の入力に接続してある。

第一の比較器 1 2 の出力をフリップフロップ回路 1 6 のリセット側の入力に接続し、第一の比較信号を出力するようにしてある。また、第二の比較器 1 3 の出力を OR 回路 3 9 の一方の入力に接続して、第二の比較信号を出力するようにしてある。OR 回路 3 9 の他方の入力にはクロック信号を入力し、フリップフロップ回路 1 6 のセット側にこの OR 回路 3 9 の出力を接続して、定常時にはクロック信号を、負荷急変した際には第二の比較信号をそれぞれ出力するようにしてある。このフリップフロップ回路 1 6 の出力をドライバ 1 7 の入力に接続し、このドライバ 1 7 の出力を整流スイッチ S_1 並びに転流スイッチ S_2 の制御端子に接続し、フィルタ回路 2 3 より得られる三角波形の振幅が負荷急変時に誤差増幅信号と分圧信号との間に収まるように制御し、定常時に整流ス

スイッチS 1のオンのタイミングを前記クロック信号で固定するように制御する構成にしてある。

以上のように構成してあるスイッチング電源は図42に示す実施態様とほぼ同様の作用をし、定常時に整流スイッチS 1のオンのタイミングをクロック信号で固定するようにしたことにより、発振周波数が固定となる。

図51は、本実施形態の第7変形例であり、図50に示す変形例とはほぼ同様の構成を有する。このスイッチング電源は、電源回路の出力側に誤差アンプ11の負の入力を接続し、この誤差アンプ11で検出電圧と基準電圧との誤差を増幅するように構成してある。このスイッチング電源は図50に示す変形例とほぼ同様の作用をし、定常時に整流スイッチS 1のオンのタイミングをクロック信号で固定するようにしたことにより、発振周波数が固定となる。

図52は、本実施形態の第8変形例に係るスイッチング電源を示す。このスイッチング電源は、電源回路の出力側に電圧検出用の抵抗 R_1 、 R_2 を備え、これら抵抗 R_1 、 R_2 の接続部を誤差アンプ11の負の入力に接続し、この誤差アンプ11で検出電圧と基準電圧との誤差を増幅するように構成してある。この誤差アンプ11の出力を第一の比較器12の負の入力に接続し、同じくこの誤差アンプ11の出力を分割抵抗 R_3 、 R_4 を介して第二の比較器13の正の入力に接続してある。

この変形例では、出力チョークL 1と平滑コンデンサ C_{OUT} との間に電流検出用の抵抗 R_5 を接続してあり、この抵抗 R_5 の入力側をバッファアンプ15の正の入力に、出力側を同じくバッファアンプ15の負の入力にそれぞれ接続してある。このバッファアンプ15の出力にコンデンサ C_{SAW1} と2つの抵抗 R_{SAW1} 、 R_{SAW2} とを直列に接続して構成するフィルタ回路24を接続してある。このフィルタ回路24の出力を第一の比較器12の正の入力、並びに第二の比較器13の負の入力に接続してある。

第一の比較器12の出力をフリップフロップ回路16のリセット側の入力に接続し、第一の比較信号を出力するようにしてある。また、第二の比較器13の出力をOR回路39の一方の入力に接続して、第二の比較信号を出力するようにしてある。OR回路39の他方の入力にはクロック信号を入力し、フリップフロップ回路16のセット側にこのOR回路39の出力を接続して、定常時にはクロック信号を、負荷急変した際には第二の比較信号をそれぞれ出力するようにしてある。このフリップフロップ回路16の出力をドライバ17の入力に接続し、このドライバ17の出力を整流スイッチS 1並びに転流スイッチS 2の制御端子に接続し、フィルタ回路24より得られる三角波形の振幅

が負荷急変時に誤差増幅信号と分圧信号との間に収まるように制御し、定常時に整流スイッチ S_1 のオンのタイミングを前記クロック信号で固定するように制御する構成にしてある。

以上のように構成してあるスイッチング電源は図 4 2 に示す実施形態とほぼ同様の作用をし、定常時に整流スイッチ S_1 のオンのタイミングをクロック信号で固定することにより、発振周波数が固定となる。また、この変形例は電圧検出用の抵抗 R_1 , R_2 を備えてあるとともに、フィルタ回路 2 4 をコンデンサ C_{SAW1} と 2 つの抵抗 R_{SAW1} , R_{SAW2} とを直列に接続して構成してあることにより、高周波成分のみを取り出すことができる。

図 5 3 は、本実施形態の第 9 変形例に係るスイッチング電源を示す。このスイッチング電源は、電源回路の出力側に誤差アンプ 1 1 の負の入力を接続し、この誤差アンプ 1 1 で検出電圧と基準電圧との誤差を増幅するように構成してある。この誤差アンプ 1 1 の出力を第一の比較器 1 2 の負の入力に接続し、同じくこの誤差アンプ 1 1 の出力を分割抵抗 R_3 , R_4 を介して第二の比較器 1 3 の正の入力に接続してある。

この変形例では、出力チョーク L_1 と平滑コンデンサ C_{OUT} との間に電流検出用の抵抗 R_5 を接続してあり、この抵抗 R_5 の入力側をバッファアンプ 1 5 の正の入力に、出力側を同じくバッファアンプ 1 5 の負の入力にそれぞれ接続してある。このバッファアンプ 1 5 の出力をコンデンサ C_{SAW} と抵抗 R_{SAW1} とを直列に接続して構成するフィルタ回路 2 5 に接続してある。このフィルタ回路 2 5 の出力を第一の比較器 1 2 の正の入力、並びに第二の比較器 1 3 の負の入力に接続してある。

第一の比較器 1 2 の出力をフリップフロップ回路 1 6 のリセット側の入力に接続し、第一の比較信号を出力するようにしてある。また、第二の比較器 1 3 の出力を OR 回路 3 9 の一方の入力に接続して、第二の比較信号を出力するようにしてある。OR 回路 3 9 の他方の入力にはクロック信号を入力し、フリップフロップ回路 1 6 のセット側にこの OR 回路 3 9 の出力を接続して、定常時にはクロック信号を、負荷急変した際には第二の比較信号をそれぞれ出力するようにしてある。このフリップフロップ回路 1 6 の出力をドライバ 1 7 の入力に接続し、このドライバ 1 7 の出力を整流スイッチ S_1 並びに転流スイッチ S_2 の制御端子に接続し、フィルタ回路 2 5 より得られる三角波形の振幅が負荷急変時に誤差増幅信号と分圧信号との間に収まるように制御し、定常時に整流スイッチ S_1 のオンのタイミングを前記クロック信号で固定するように制御する構成にしてある。

以上のように構成してあるスイッチング電源は図 4 9 に示す変形例とほぼ同様の作用をし、定常時に整流スイッチ S_1 のオンのタイミングをクロック信号で固定するようにしたことにより、発振周波数が固定となる。

図 5 4 に示す第 10 変形例は、出力チョーク L_1 に電流検出回路 3 3 を接続し、この電流検出回路 3 3 の出力にコンデンサ C_{SAW1} と 2 つの抵抗 R_{SAW1} 、 R_{SAW2} とを直列に接続して構成するフィルタ回路 2 4 を接続してある。これ以外については図 5 2 に示す変形例とほぼ同様の構成である。以上のように構成してある図 5 4 に示すスイッチング電源は図 5 2 に示すスイッチング電源とほぼ同様の作用をする。

図 5 5 に示す第 11 変形例も出力チョーク L_1 に電流検出回路 3 3 を接続し、この電流検出回路 3 3 の出力をコンデンサ C_{SAW} と抵抗 R_{SAW1} とを直列に接続して構成するフィルタ回路 2 5 を接続してある。これ以外については図 5 3 に示す変形例とほぼ同様の構成である。以上のように構成してある図 5 5 に示すスイッチング電源は図 5 3 に示すスイッチング電源とほぼ同様の作用をする。

図 5 6 に示す第 12 変形例は図 4 2 に示す実施形態に、図 5 7 に示す変形例は図 4 9 に示す変形例に、図 5 8 に示す変形例は図 5 0 に示す変形例に、図 5 9 に示す変形例は図 5 1 に示す変形例に対応するもので、これらの変形例は、整流スイッチ S_1 に電流検出回路 3 4 を接続し、この電流検出回路 3 4 の出力を出力チョーク L_1 の出力端に接続した抵抗 R_{SAW1} の他端に接続してある。

以上のように構成してある図 5 6 乃至図 5 9 に示すスイッチング電源は、それぞれ対応する図 4 2、図 4 9、図 5 0 並びに図 5 1 に示すスイッチング電源とほぼ同様の作用をするが、これらに加え、これらのスイッチング電源は、フィルタ回路 2 1、2 2、2 3、2 3 で電流検出回路 3 4 から流れた電流を加えるため、出力インピーダンスを調整することができる。

産業上の利用可能性

本発明の 1 つの態様によれば、フィルタ回路より得られる三角波形の振幅が第一の比較器の一方の入力レベルと第二の比較器の一方の入力レベルとの間に収まるように制御する制御手段を設けてあることにより、三角波は抵抗とコンデンサで構成したフィルタの手前で接続してある出力スイッチのオン／オフにより生成されるため、出力スイッチの動作状態と誤差増幅信号との位相差が固定され、誤差増幅信号の周波数帯域を下げなくても安定性を確保できる。

また、整流スイッチに電流検出回路を接続し、この電流検出回路をフィルタ回路に接続することにより、フィルタ回路には通常流れる電流と電流検出回路を経由して流れる電流とが流れ、出力インピーダンスの調整できる。

本発明の別の態様によれば、スイッチング電源は、インダクタ電流の不連続状態を検出し、三角波の振幅を自動的に変化させる回路を内蔵することにより、安定した出力リップル特性を実現することができる。

本発明のさらに別の態様によれば、スイッチング電源は、入出力電圧差に比例して三角波の振幅を自動的に変化させる回路を内蔵することにより、様々な入出力条件において、安定した効率・出力リップル特性を実現することができる。

本発明のさらに別の態様によれば、フィルタ回路より得られる三角波形の振幅が負荷急変時に出力電圧と基準電圧との誤差を増幅した誤差増幅信号と、前記誤差増幅信号を分圧して得られる分圧信号との間に収まるように制御し、定常時に整流スイッチのオン又はオフのタイミングを固定するようにしたことにより、発振周波数が固定となり、マルチフェーズ化のための位相をずらした信号の発生が容易である。

また、分圧信号を用いなくても、分圧信号を用いた場合と同様に、発振周波数が固定となり、マルチフェーズ化のための位相をずらした信号の発生が容易である。

1. 整流スイッチ、転流スイッチ、出力チョーク並びに平滑コンデンサを備え、前記出力チョークと平滑コンデンサを直列に接続したスイッチング電源であって、この電源回路の出力側に誤差アンプの入力を接続して検出電圧と基準電圧との誤差を増幅するように構成し、この誤差アンプの出力を第一の比較器の一方の入力に接続し、同じくこの誤差アンプの出力を分割抵抗を介して第二の比較器の一方の入力に接続してあり、前記転流スイッチと並列に、抵抗及びコンデンサを備えたフィルタ回路を接続し、このフィルタ回路の出力を前記第一の比較器の他方の入力、並びに第二の比較器の他方の入力に接続して、前記フィルタ回路より得られる三角波形の振幅が前記第一の比較器の一方の入力レベルと第二の比較器の一方の入力レベルとの間に収まるように制御する制御手段を設けてあることを特徴とするスイッチング電源。

2. 前記制御手段は、この誤差アンプの出力を、分圧比を自在に変化させる電圧分圧回路を介して第二の比較器の一方の入力に接続し、前記フィルタ回路より得られる三角波形の振幅が前記第一の比較器の一方の入力レベルと第二の比較器の一方の入力レベルとの間に収まるように構成してあることを特徴とする請求の範囲第1項のスイッチング電源。

3. 前記電圧分圧回路は、抵抗を3つ以上直列に接続して、分圧比可変部と分圧比固定部とを構成し、前記分圧比可変部の一端を前記誤差アンプの出力と前記第一の比較器の入力間に接続し、同じく分圧比可変部の他端を前記第二の比較器の一方の入力に接続してあり、前記分圧比可変部に設けた少なくとも一の抵抗と並列にスイッチを接続し、インダクタ電流が不連続状態になったことを検出して、分圧比を自在に変化させるようにしてあることを特徴とする請求の範囲第2項記載のスイッチング電源。

4. 前記制御手段は、入出力電位差に比例して変化する電流源を備え、この電流源は、前記分割抵抗の midpoint と接地電位との間に接続して第二の信号を出力するように構成し、前記三角波形の振幅が前記第一及び第二の信号の間に収まるように構成してあることを特徴とする請求の範囲第1項記載のスイッチング電源。

5. 前記分割抵抗を2つ以上直列に接続し、抵抗分割点と接地電位との間に入出力電圧差に比例する電流源を接続して、分圧比を自在に変化させるようにしてあることを特徴とする請求の範囲第4項記載のスイッチング電源。

6. 前記誤差アンプで電源回路の出力電圧と基準電圧との誤差を増幅して得た誤差増幅信号を、前記フィルタ回路より得られる三角波形とを比較して第一の比較信号を前記整流スイッチに出力し、前記誤差増幅信号を分圧して、この分圧信号を前記三角波形とを比較して第二の比較信号を生成可能な構成とし、前記第二の比較信号とクロック信号とを付き合わせ、負荷急変時に前記第二の比較信号を出力して、前記整流スイッチへの出力信号を前記クロック信号から第二の比較信号へ切り換えて、前記三角波形の振幅が前記誤差増幅信号と前記分圧信号との間に収まるように制御し、定常時に前記整流スイッチのオンのタイミングを前記クロック信号で固定するようにしたことを特徴とする請求の範囲第1項記載のスイッチング電源。

7. 前記制御手段は、負荷急増時においても、前記整流スイッチのオンのタイミングをクロック信号で固定するようにしたことを特徴とする請求の範囲第6項記載のスイッチング電源。

8. 前記誤差アンプで電源回路の出力電圧と基準電圧との誤差を増幅して得た誤差増幅信号を、前記フィルタ回路より得られる三角波形とを比較して第一の比較信号を生成可能な構成とし、前記第一の比較信号とクロック信号とを付き合わせ、前記整流スイッチに出力し、前記誤差増幅信号を分圧して、この分圧信号を前記三角波形とを比較して第二の比較信号を出力し、負荷急変時に前記整流スイッチへの出力信号を前記クロック信号から第一の比較信号へ切り換えて、前記三角波形の振幅が前記誤差増幅信号と前記分圧信号との間に収まるように制御し、定常時に前記整流スイッチのオフのタイミングを前記クロック信号で固定するようにしたことを特徴とする請求の範囲第1項記載のスイッチング電源。

9. 前記制御手段は、負荷急減時においても、前記整流スイッチのオフのタイミングをクロック信号で固定するようにしたことを特徴とする請求の範囲第8項記載のスイッチング電源。

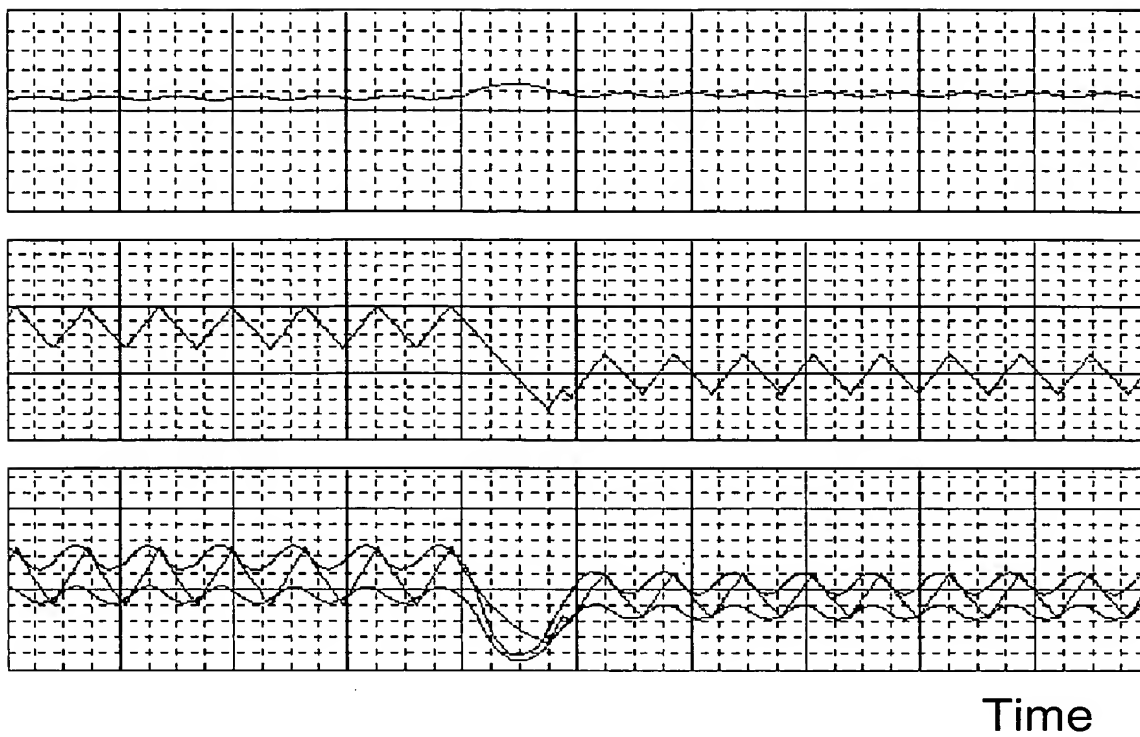
電源回路の出力側に電圧検出部を設け、この電圧検出部を誤差アンプの負の入力に接続して検出電圧と基準電圧との誤差を増幅するように構成し、この誤差アンプの出力を第一の比較器の負の入力に接続し、同じくこの誤差アンプの出力を分割抵抗を介して第二の比較器の負の入力に接続してあり、整流スイッチと転流スイッチとの間にフィルタ回路を接続し、このフィルタ回路の出力を第一の比較器並びに第二の比較器の正の入力に接続して、フィルタ回路より得られる三角波形の振幅が第一の比較器の一方の入力レベルと第二の比較器の一方の入力レベルとの間に収まるように制御する制御手段を設けるようにしたスイッチング電源。誤差増幅信号の周波数帯域を下げなくても安定性を確保することができる。また、安定した出力リップル特性を実現するスイッチング電源が提供される。

【選択図】 図 1

Figure 1 is a circuit diagram of a power converter. It features an input voltage source V_{in} connected to a network of components. A driver (17) controls a switch $S1$ in series with an inductor $L1$. A diode $S2$ is connected in parallel with the inductor branch. The output of the inductor branch is connected to a load R_L and a feedback network consisting of resistors R_1 and R_2 . The output voltage V_{out} is measured across R_L . The feedback network is connected to an error amplifier (11) through impedances Z_1 and Z_2 . The error amplifier (11) has a non-inverting input (+) connected to V_{ref} and an inverting input (-) connected to the feedback network. The output of the error amplifier (11) is connected to a compensation network consisting of resistors R_3 and R_4 . The compensation network is connected to a control block (16) which has inputs Q, S, and R. The control block (16) is connected to the driver (17) and the diode $S2$. The driver (17) is also connected to the input voltage source V_{in} . The circuit includes several capacitors: C_{SAW1} , C_{SAW2} , and C_{OUT} .

Figure 2 displays three vertically stacked waveforms over a common time axis. The top waveform shows a steady-state signal with a small step change in the middle. The middle waveform shows a high-frequency, high-amplitude oscillation that occurs during the step change. The bottom waveform shows a high-frequency, low-amplitude oscillation that occurs during the step change. The time axis is labeled "Time".

Figure 3 consists of three vertically stacked waveform plots on a grid. The top plot shows a flat line. The middle plot shows a sawtooth wave. The bottom plot shows a complex oscillating waveform.



Time

Figure 4 is a circuit diagram of a power converter. The power stage includes a driver (17) connected to switches S1 and S2. The output of the switches is connected to an inductor L1, a resistor R_SAW1, and a capacitor C_SAW1 (22). The output voltage V_OUT is measured across a load resistor R_L. A feedback network includes a voltage divider Z1 and Z2, a reference voltage V_ref, and resistors R3 and R4. The feedback signal is processed by a summing junction (12) and an integrator (13).

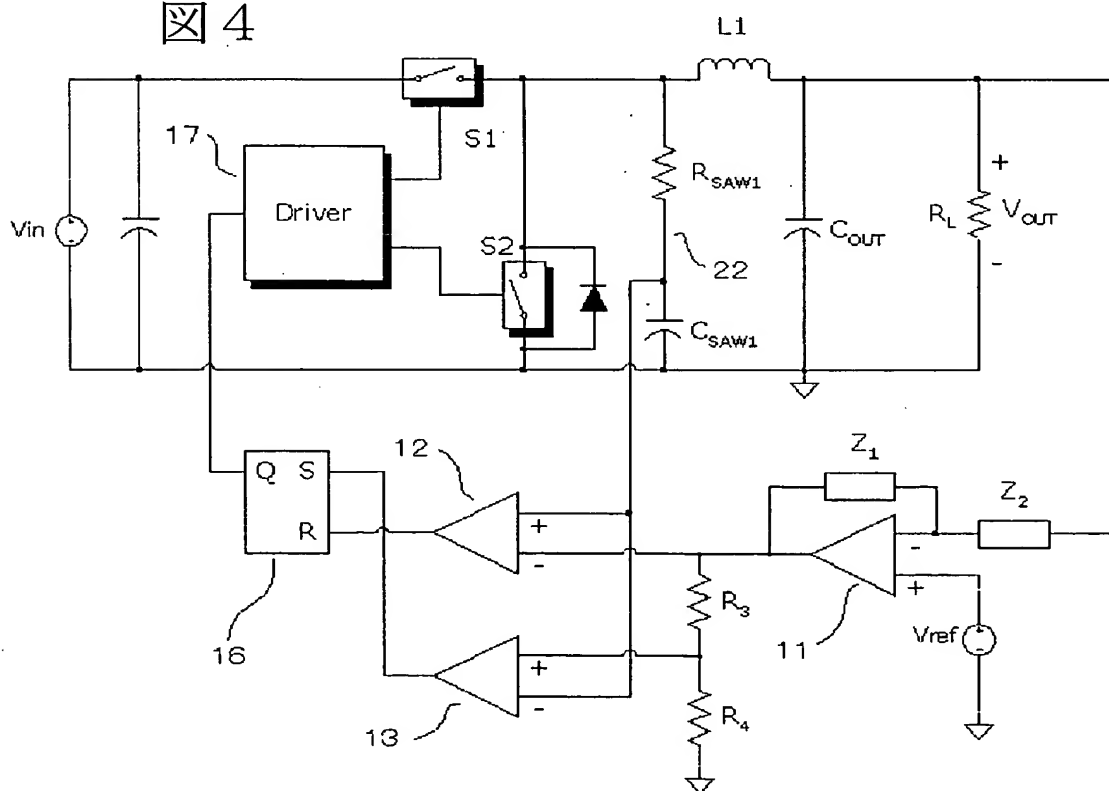


図 5

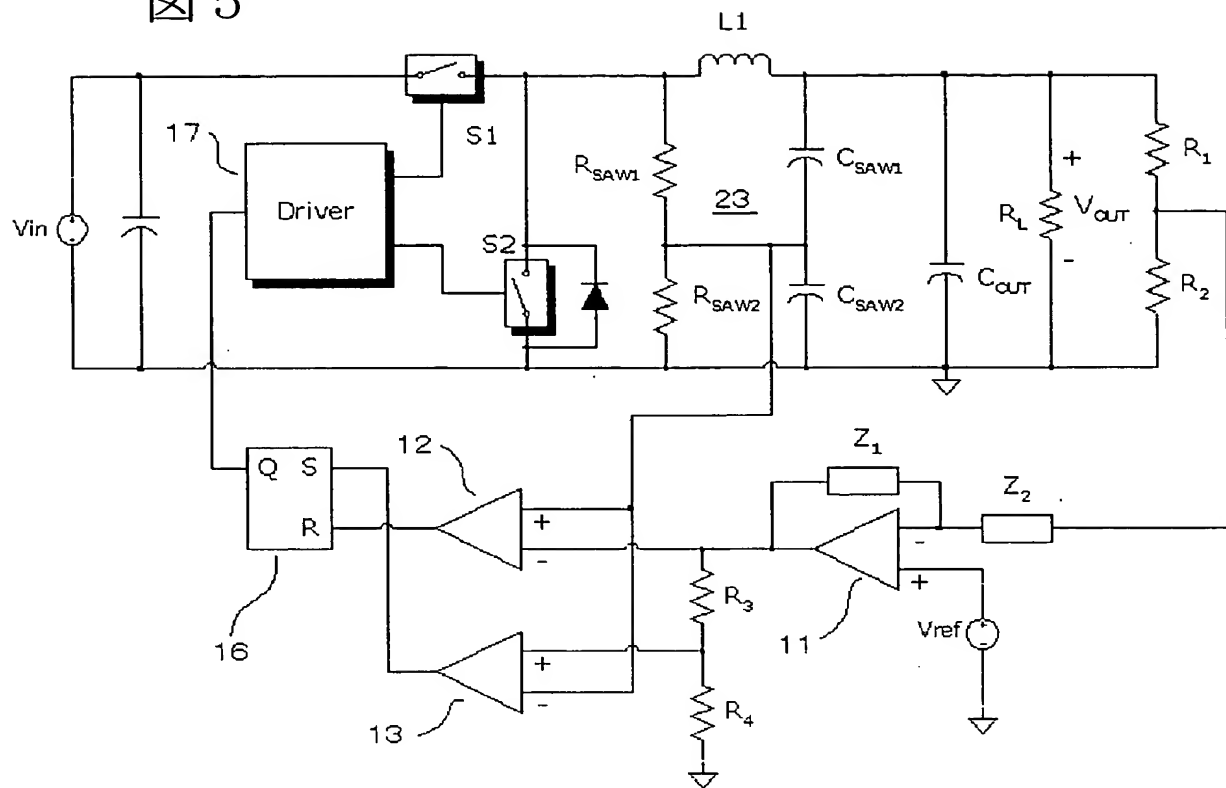


図 6

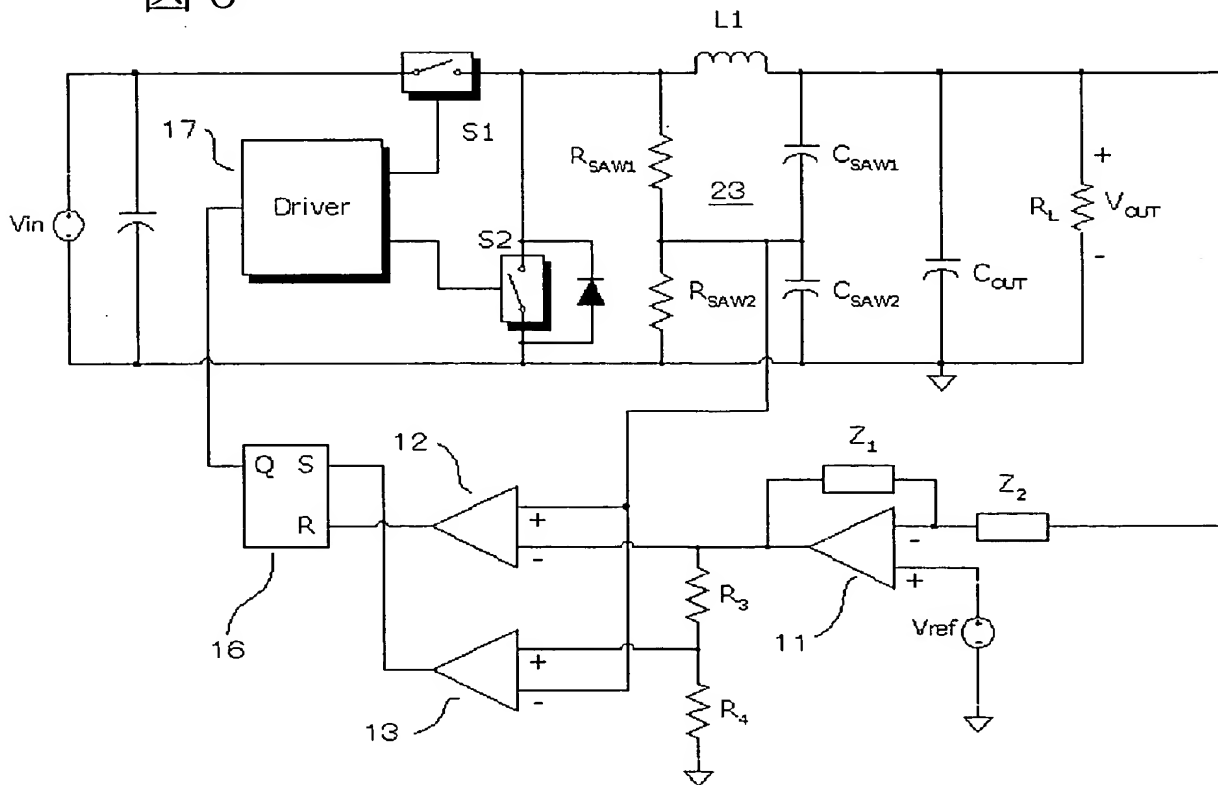


図 7

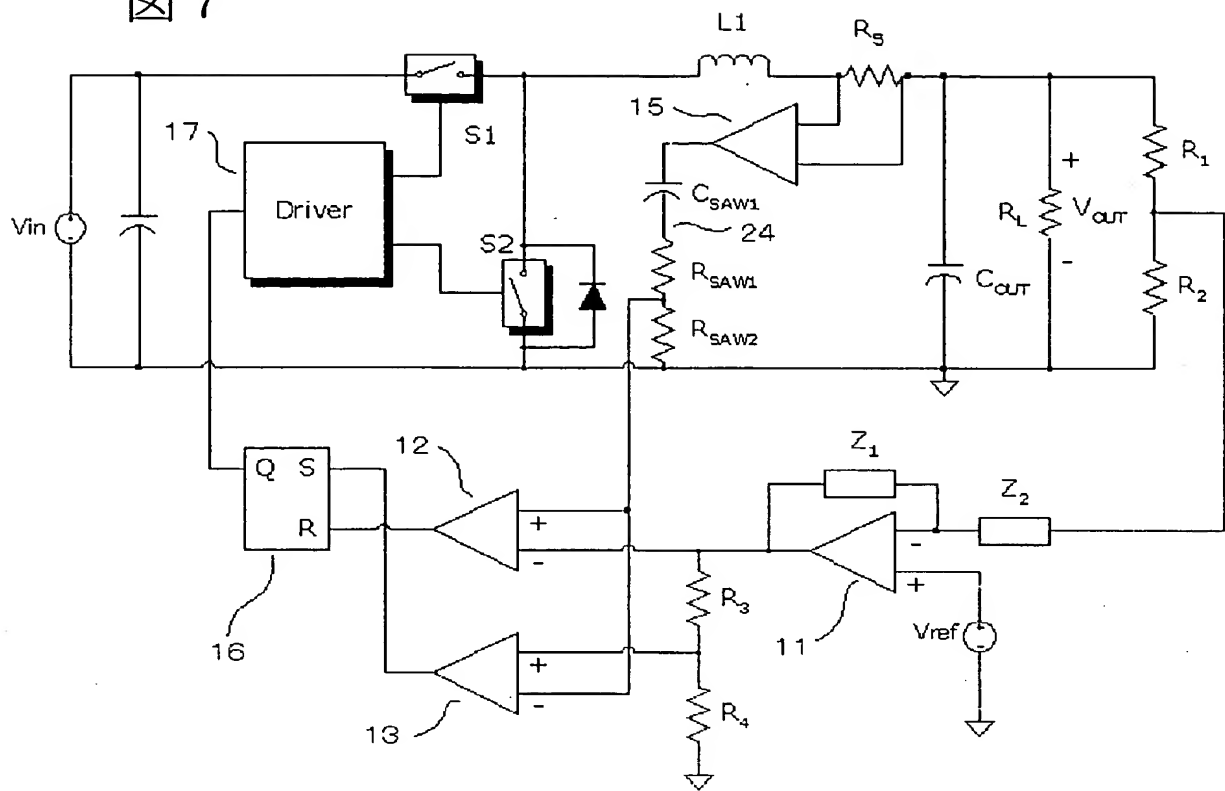


図 8

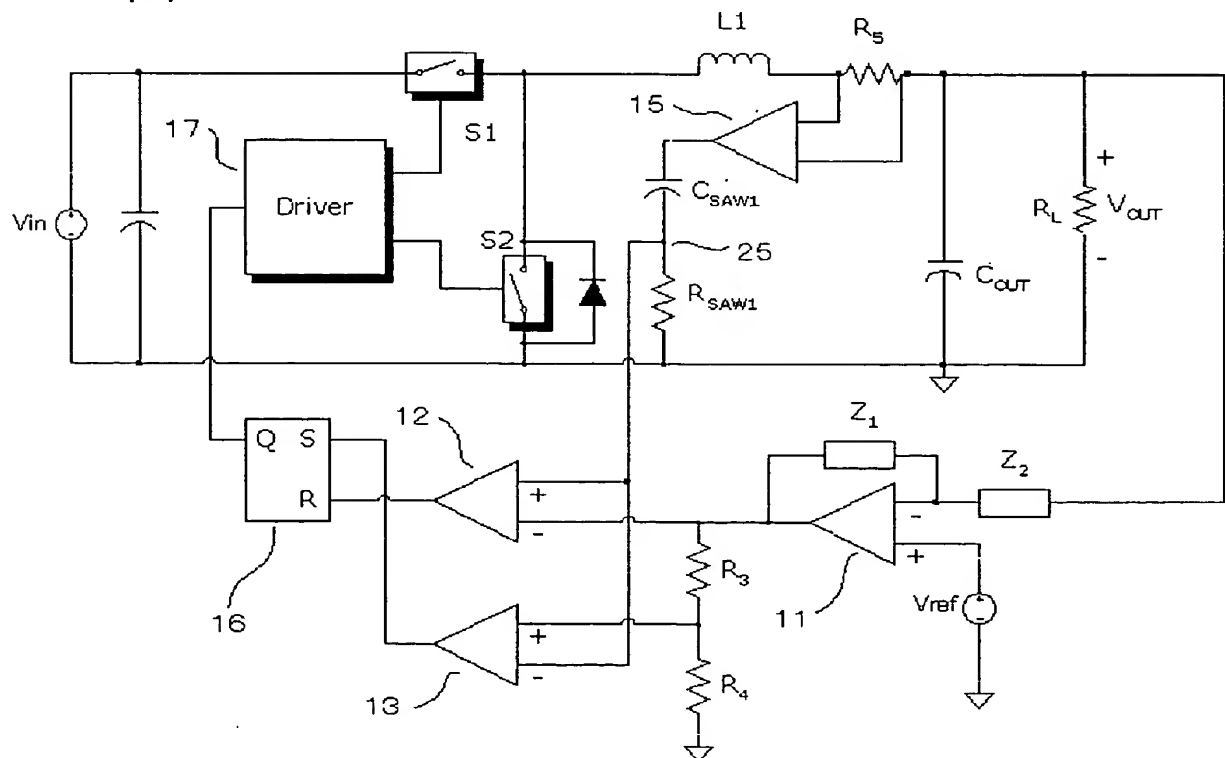


図 9

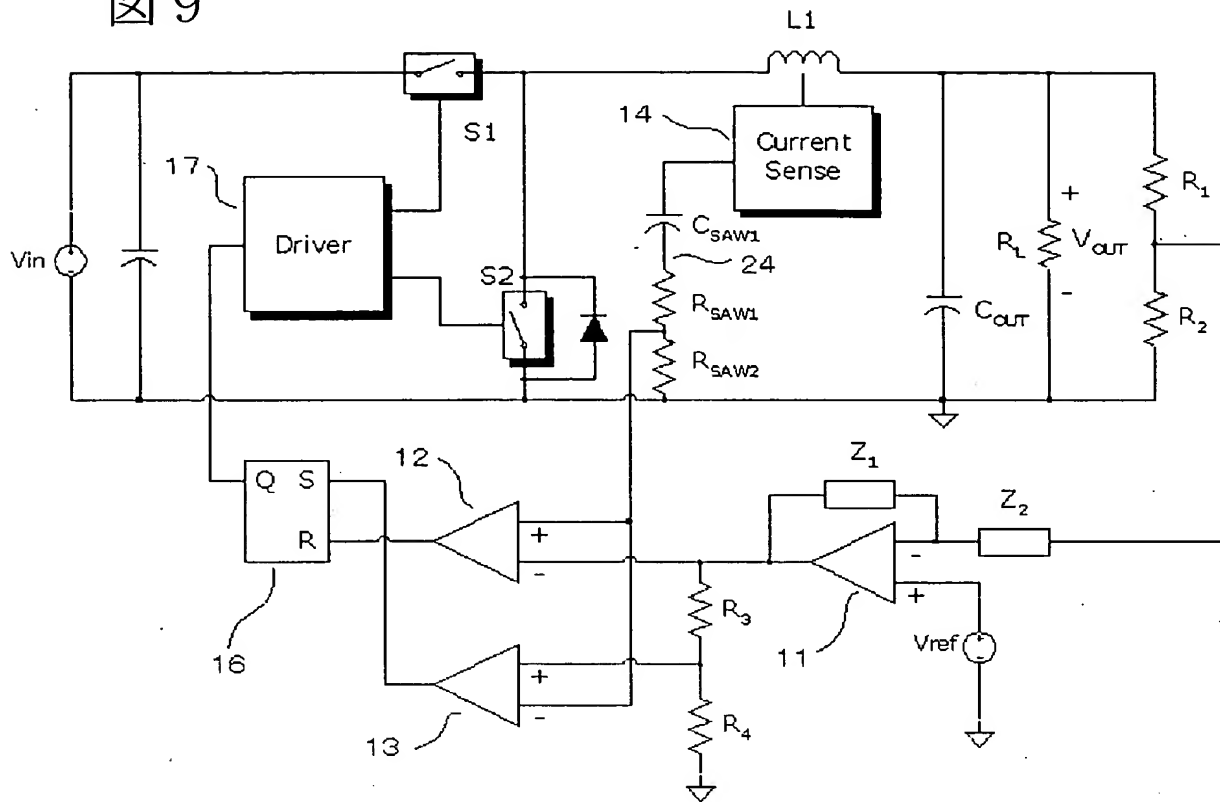


図 10

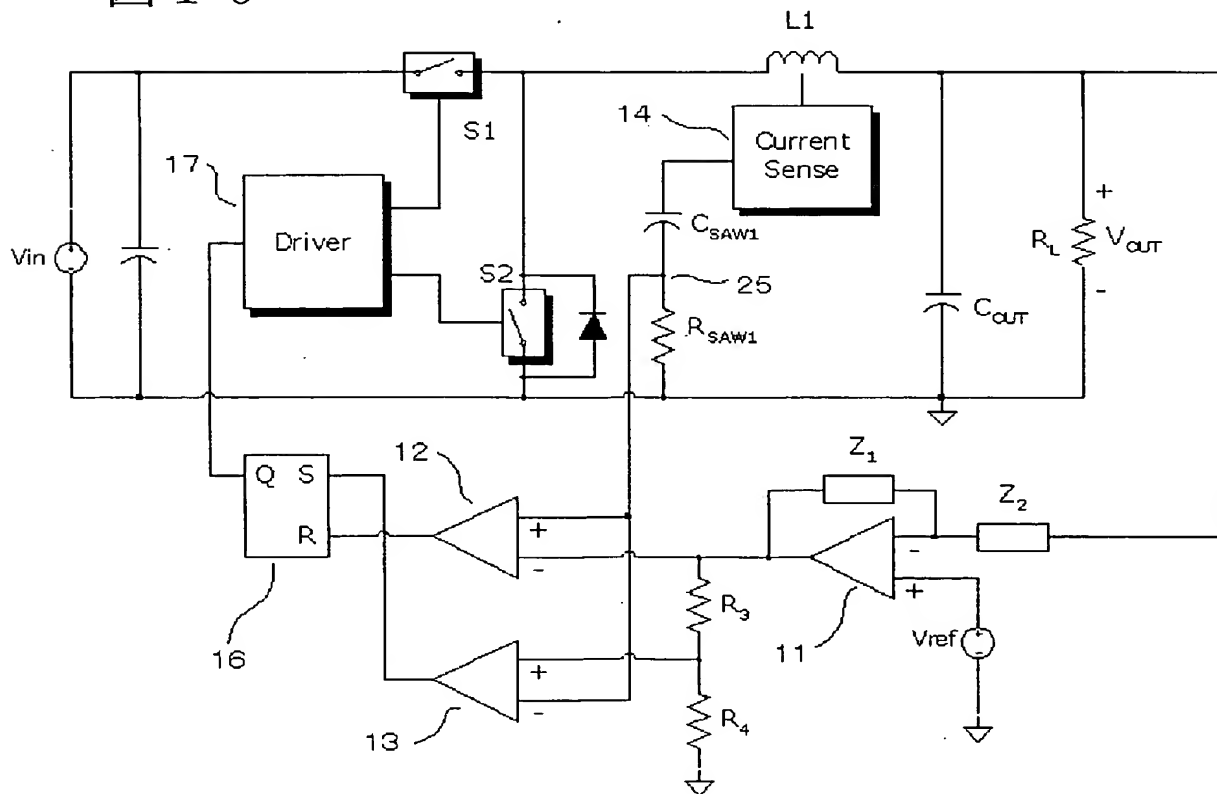


図 1 1

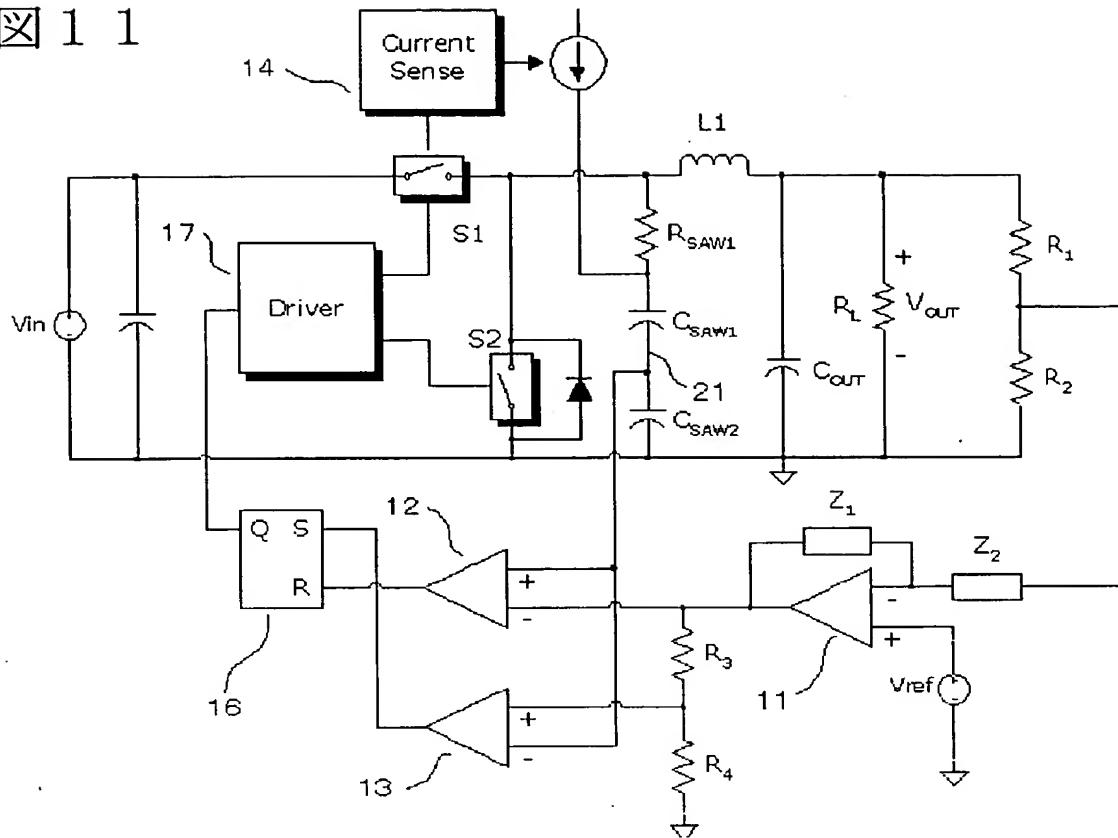


図 12

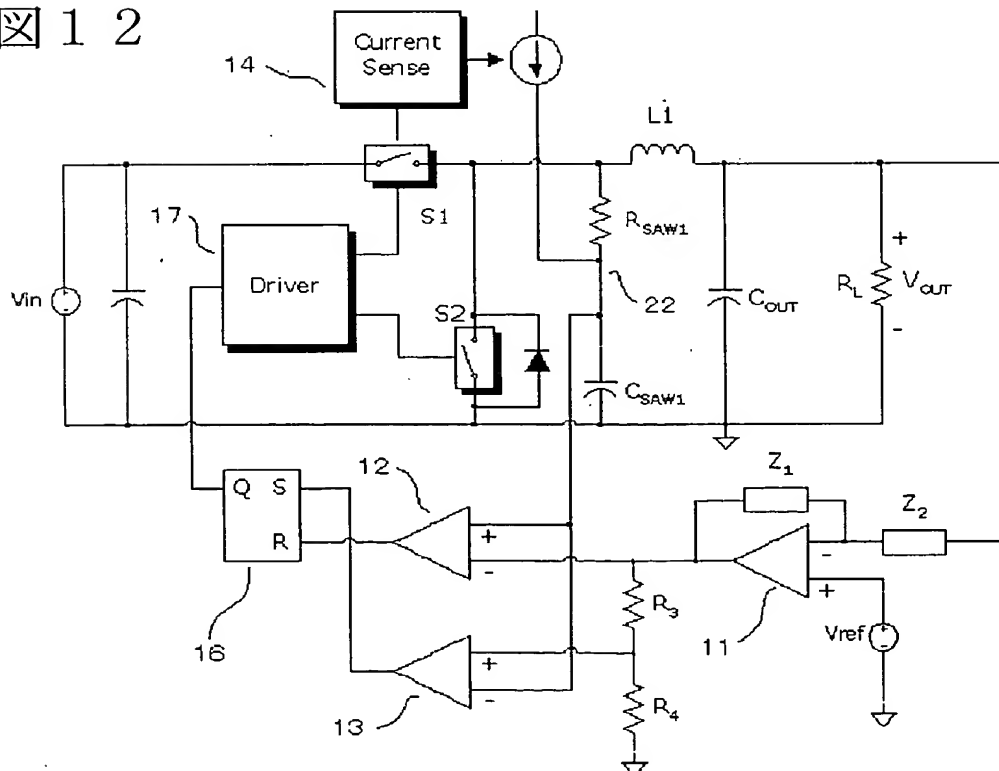


図 1 3

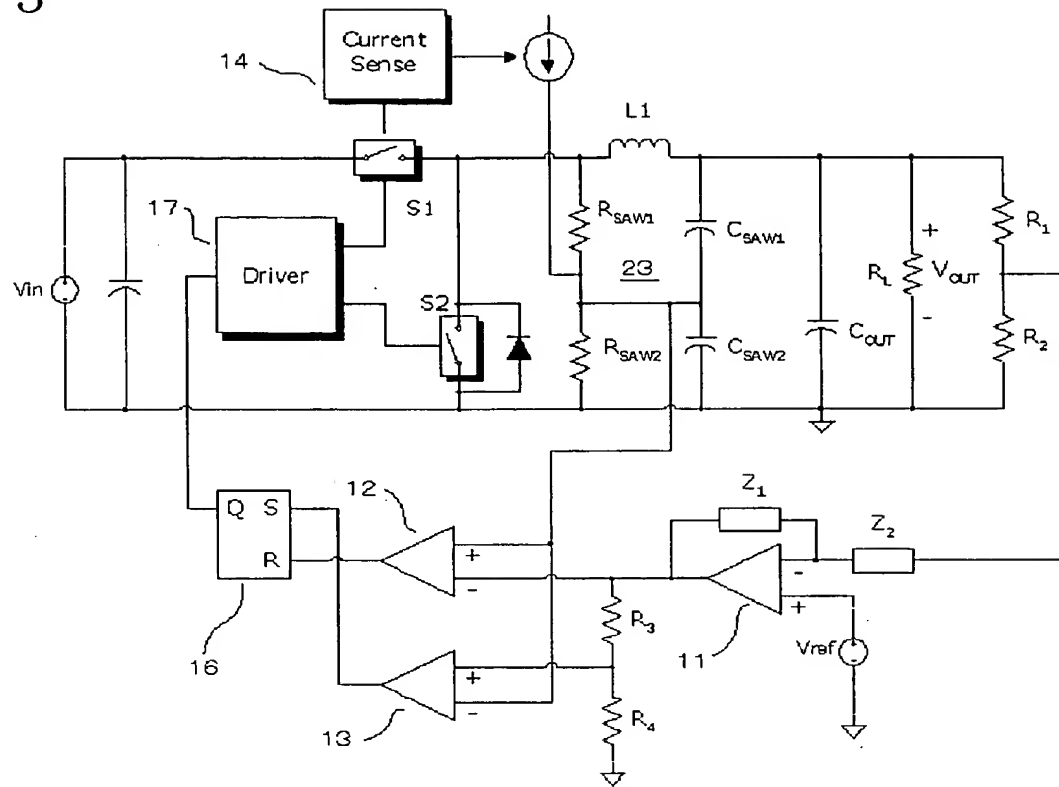


図 1 4

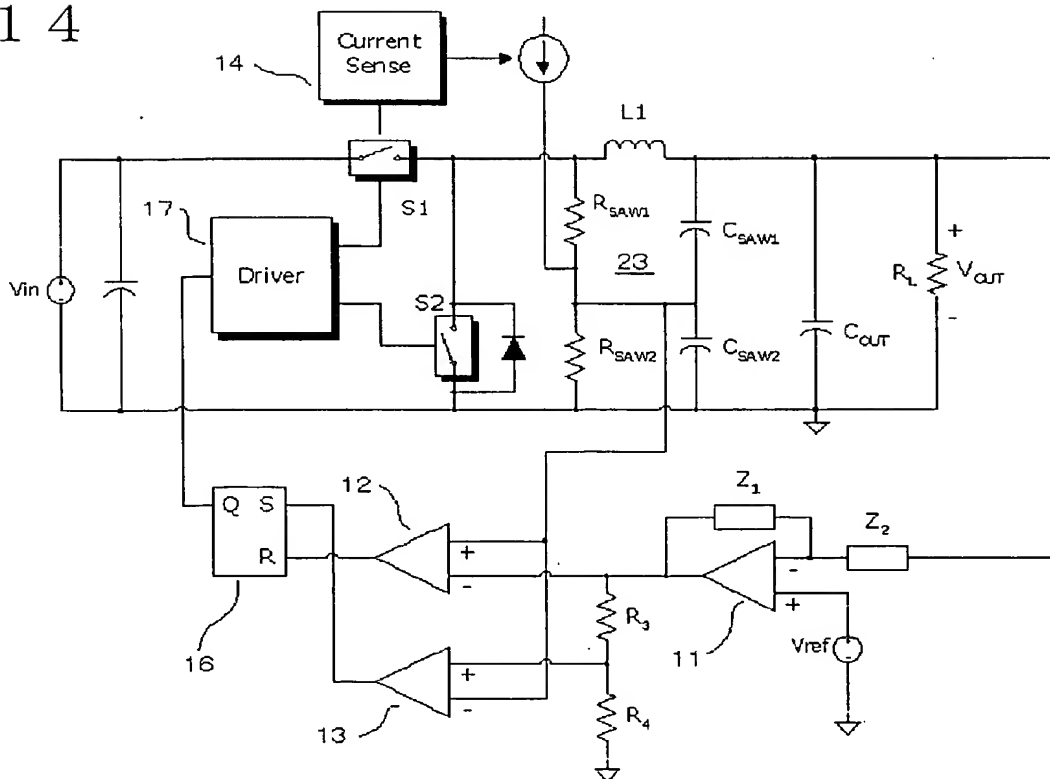


図 1 5

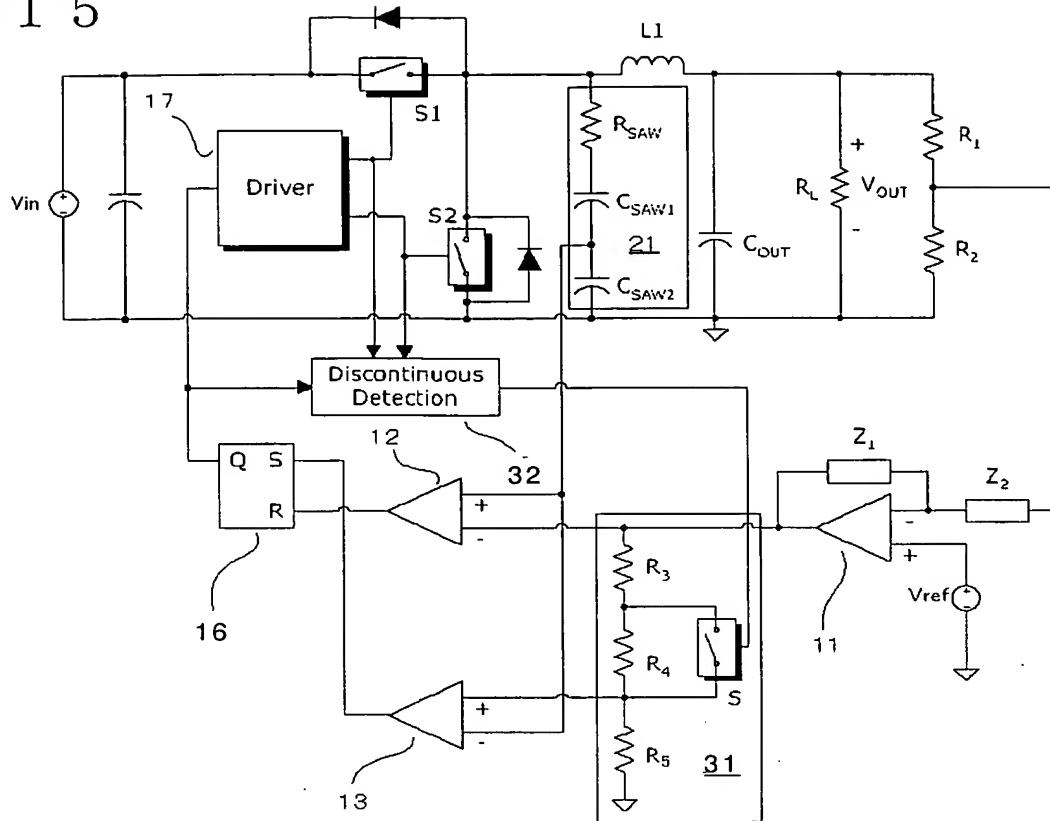


図 1 6

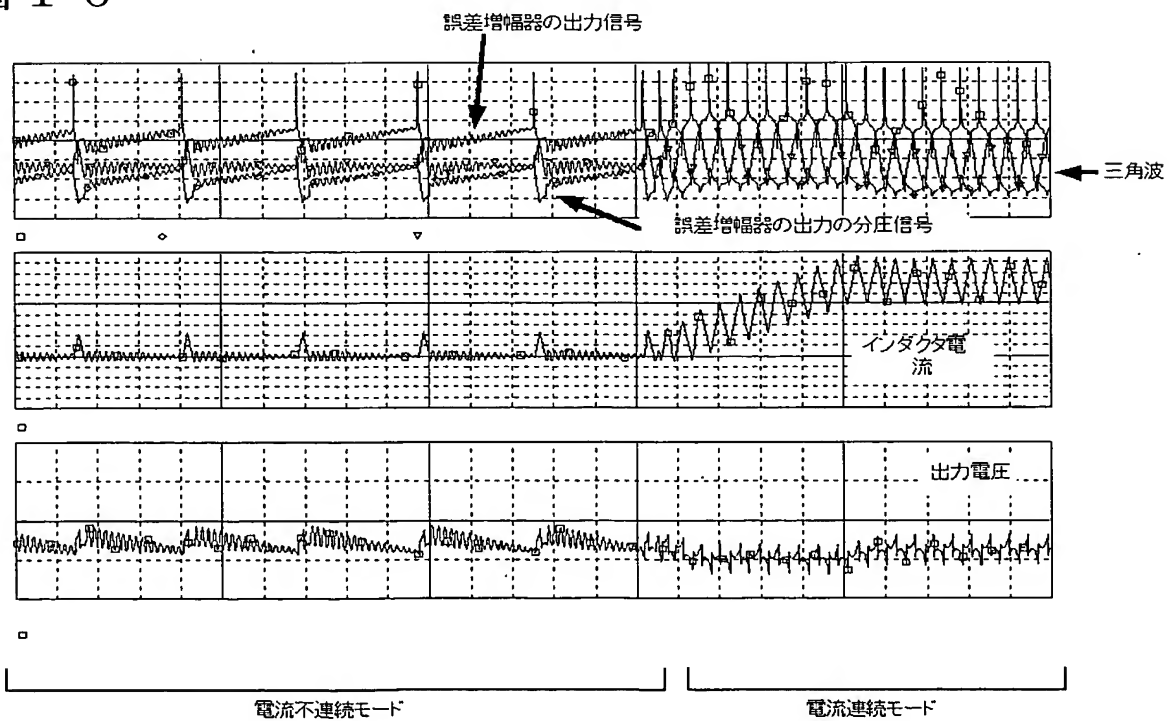


図 1 7

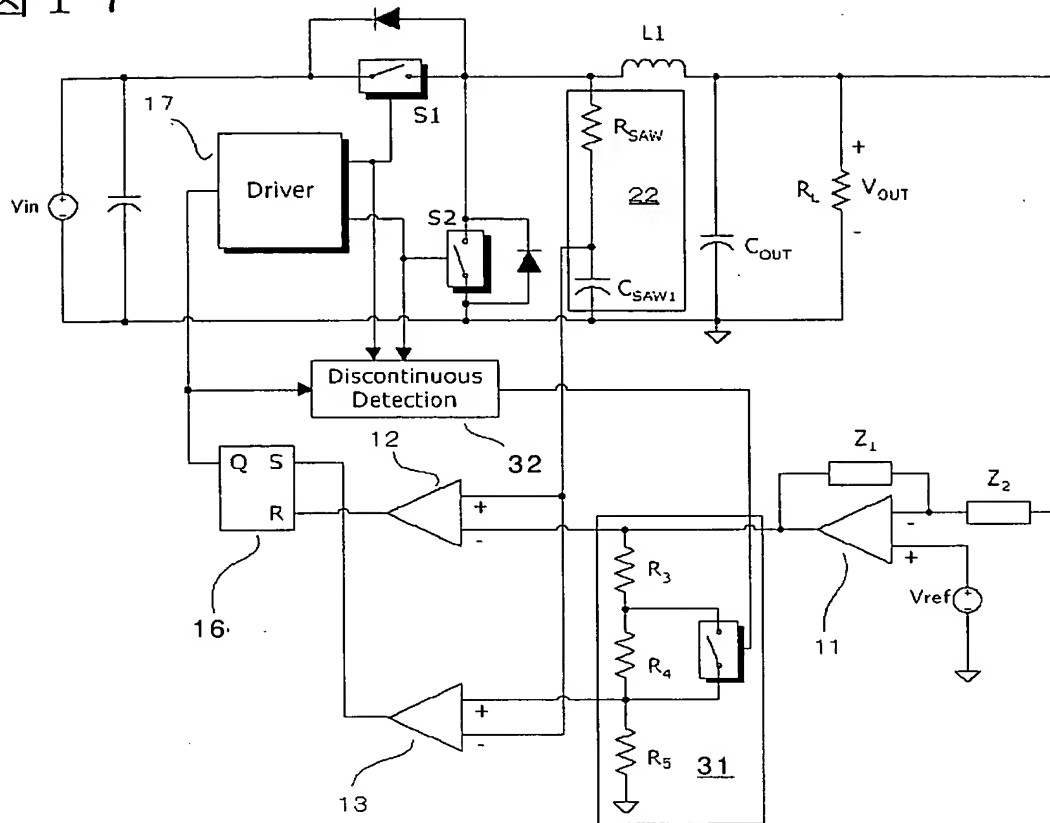


図 1 8

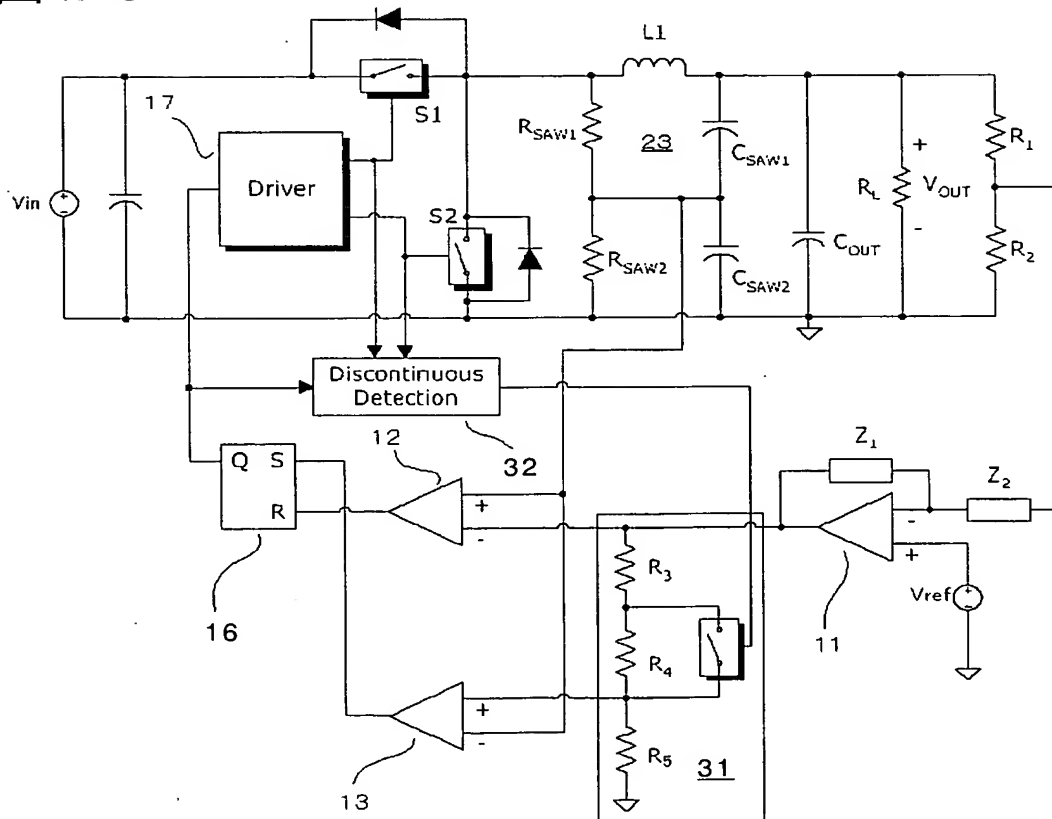


図 19

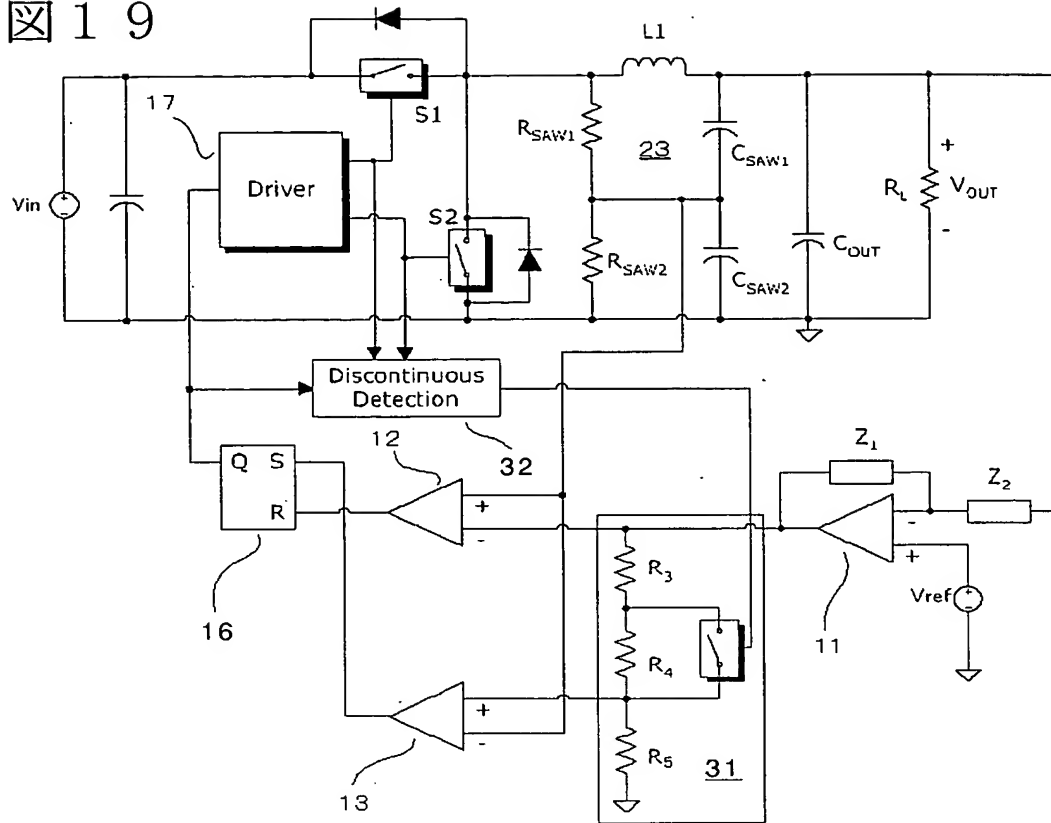


図 20

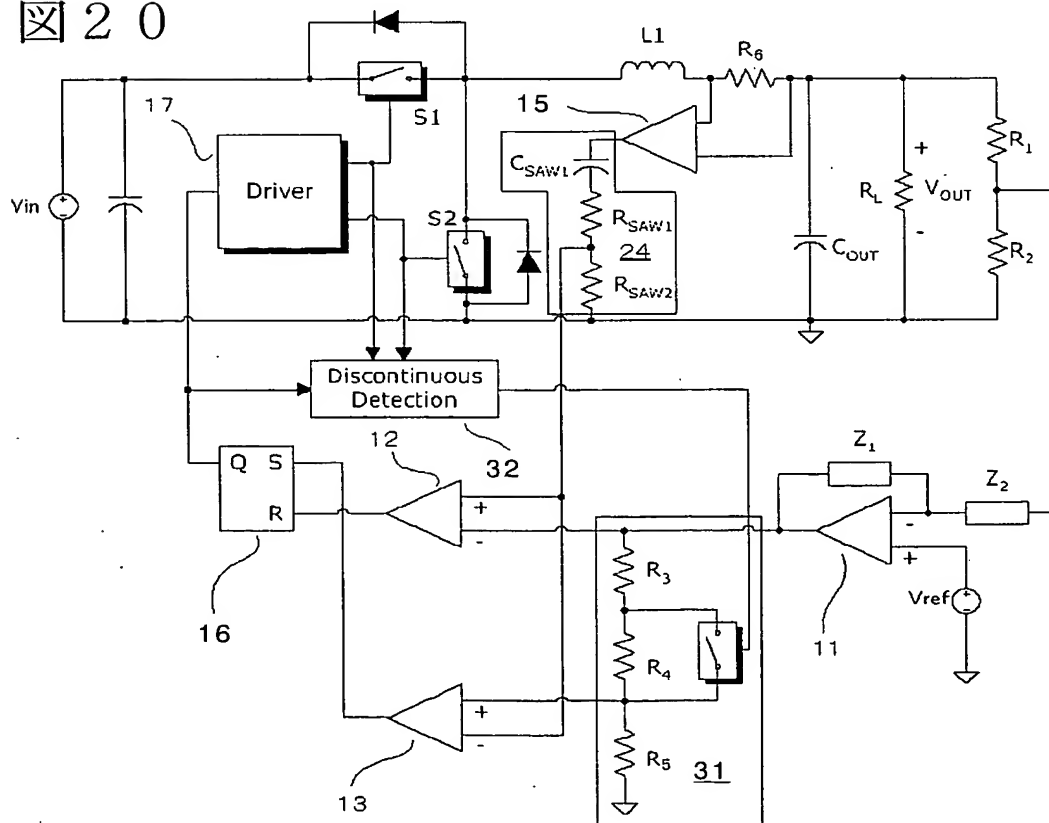


図 2 1

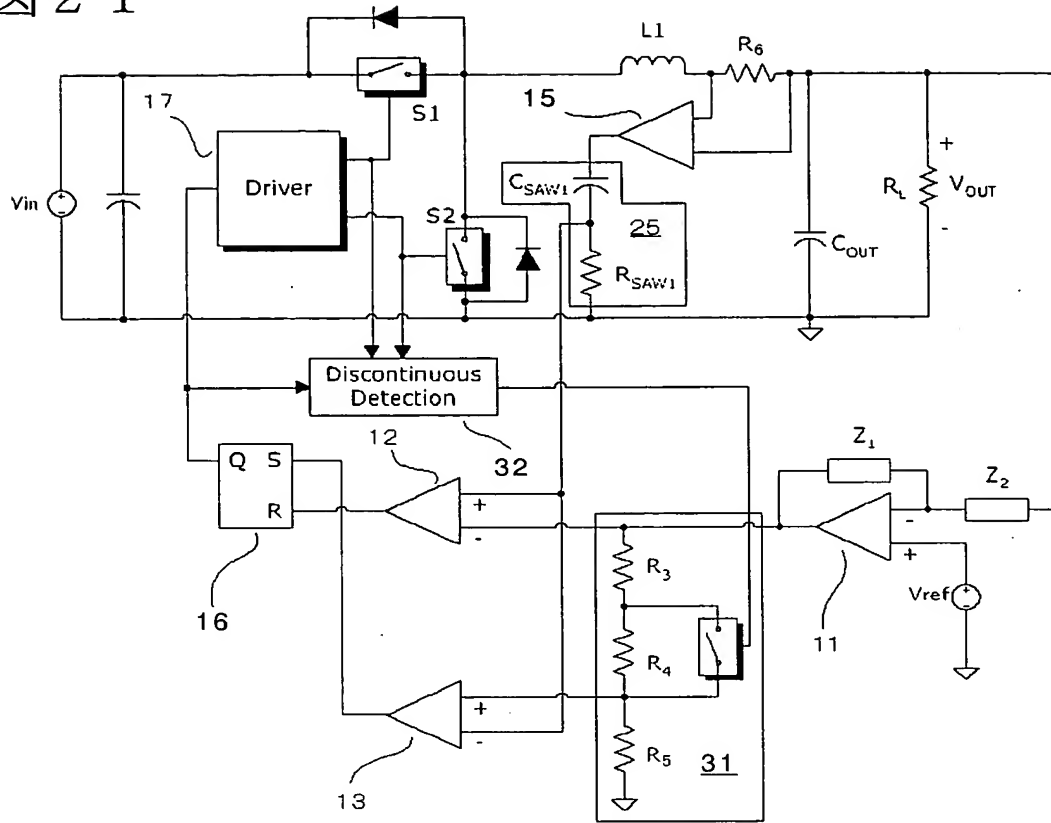


図 2 2

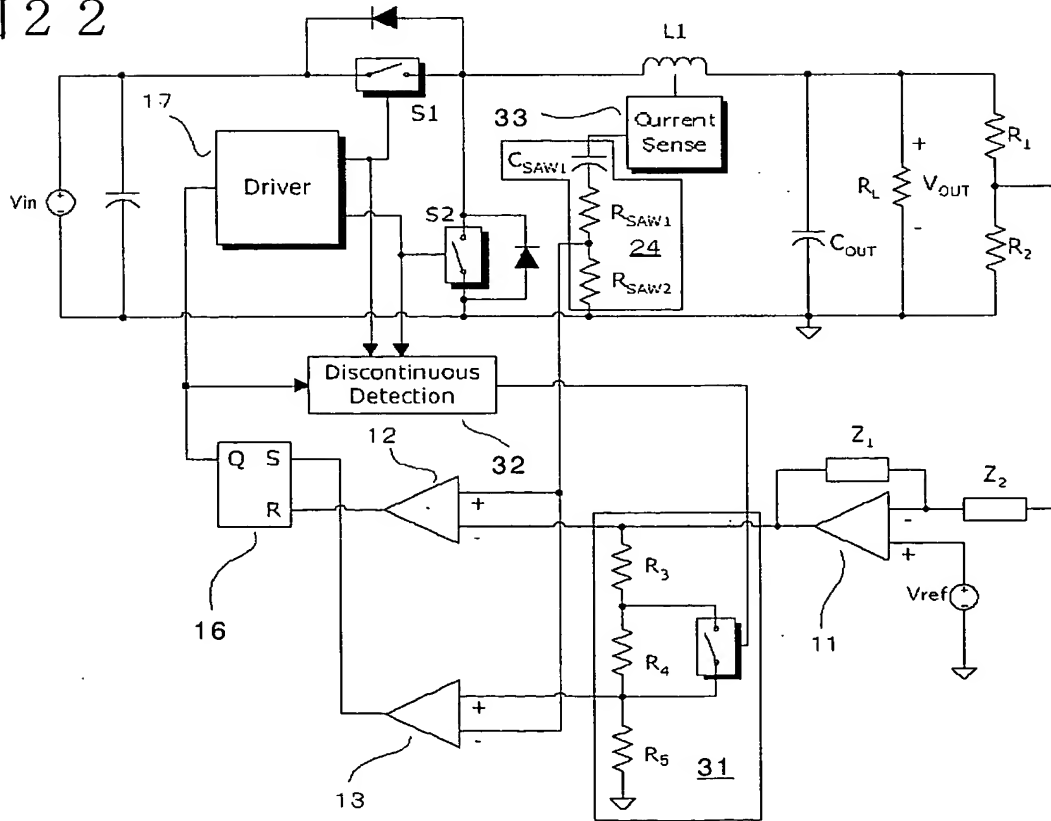


図 2 3

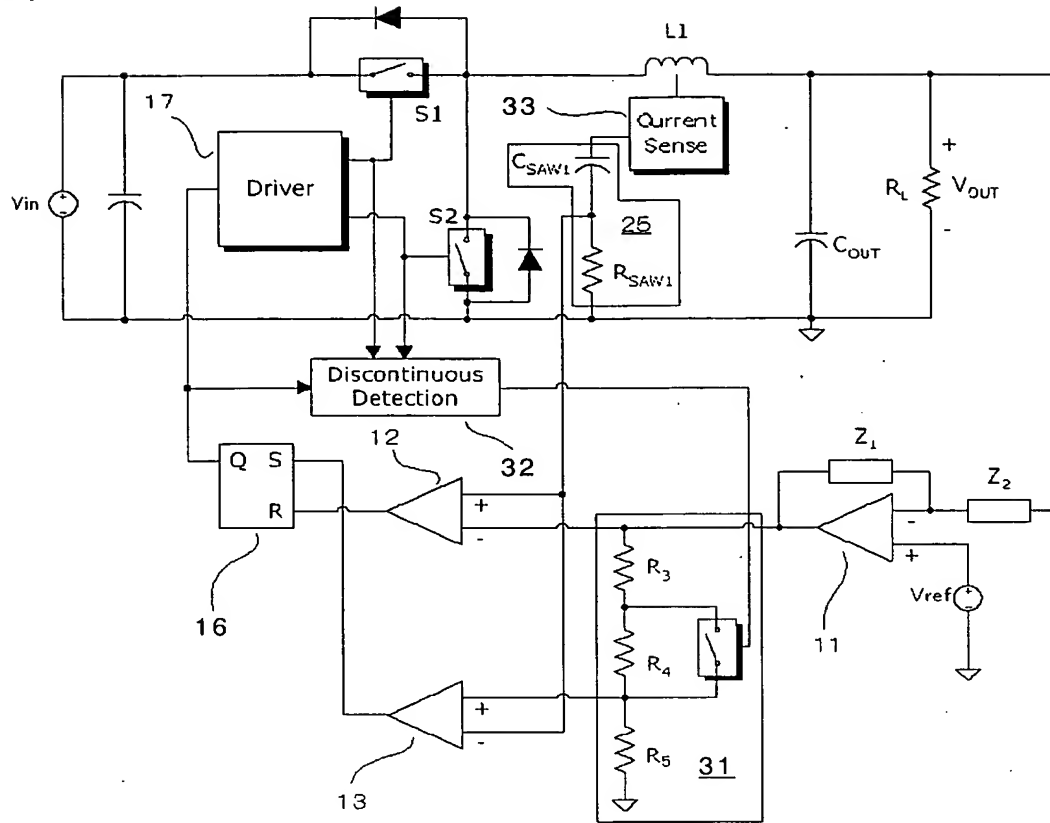


図 2 4

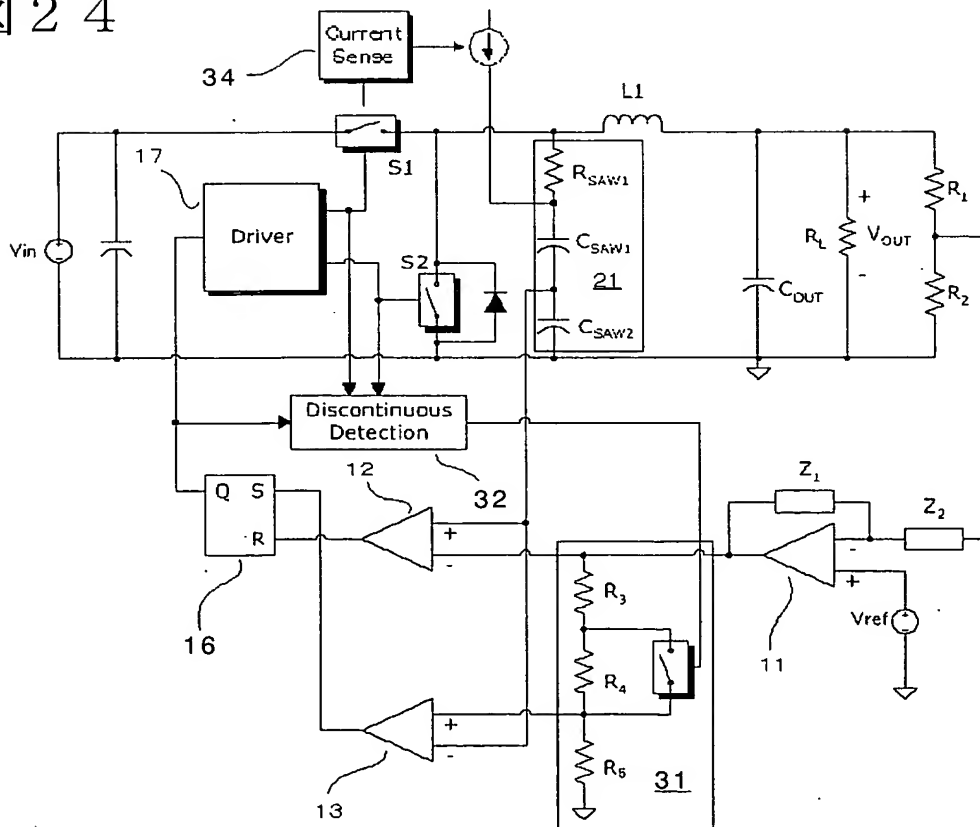


図 2 5

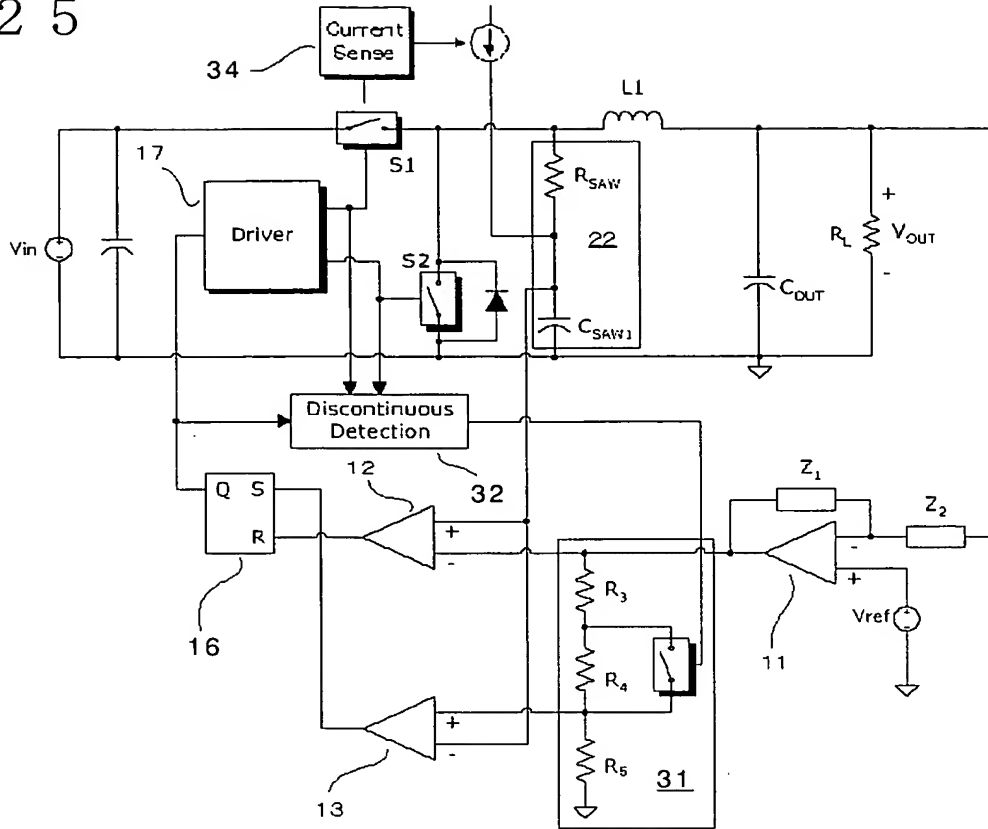


図 2 6

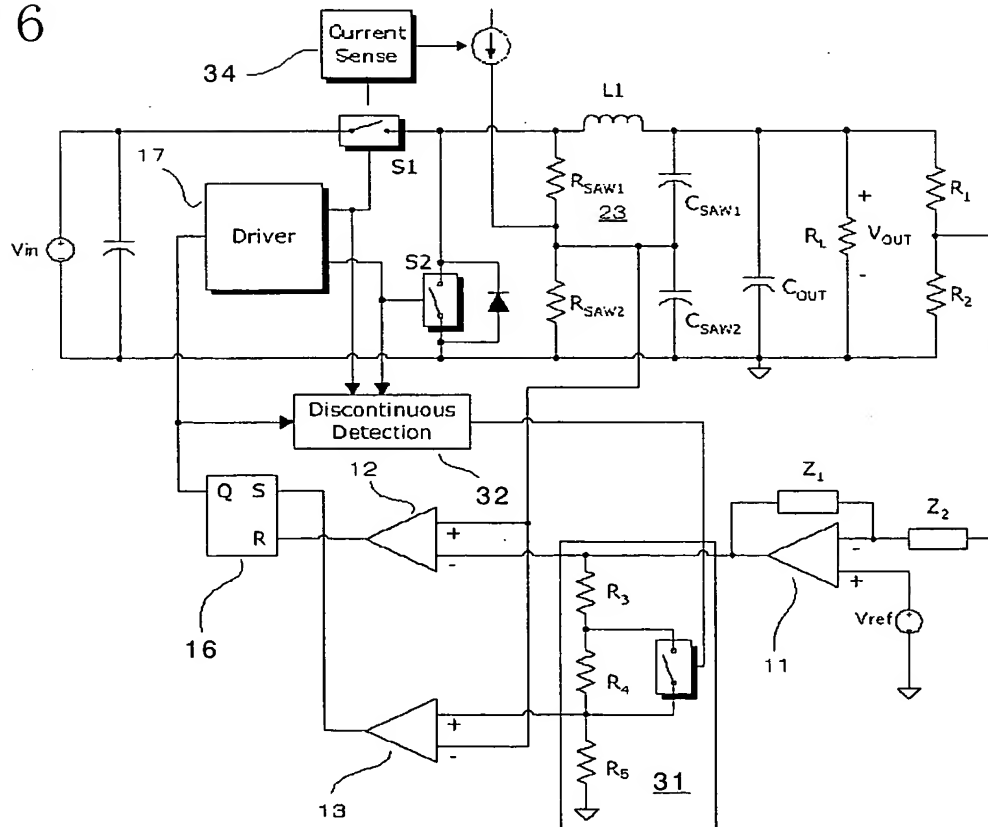


図 27

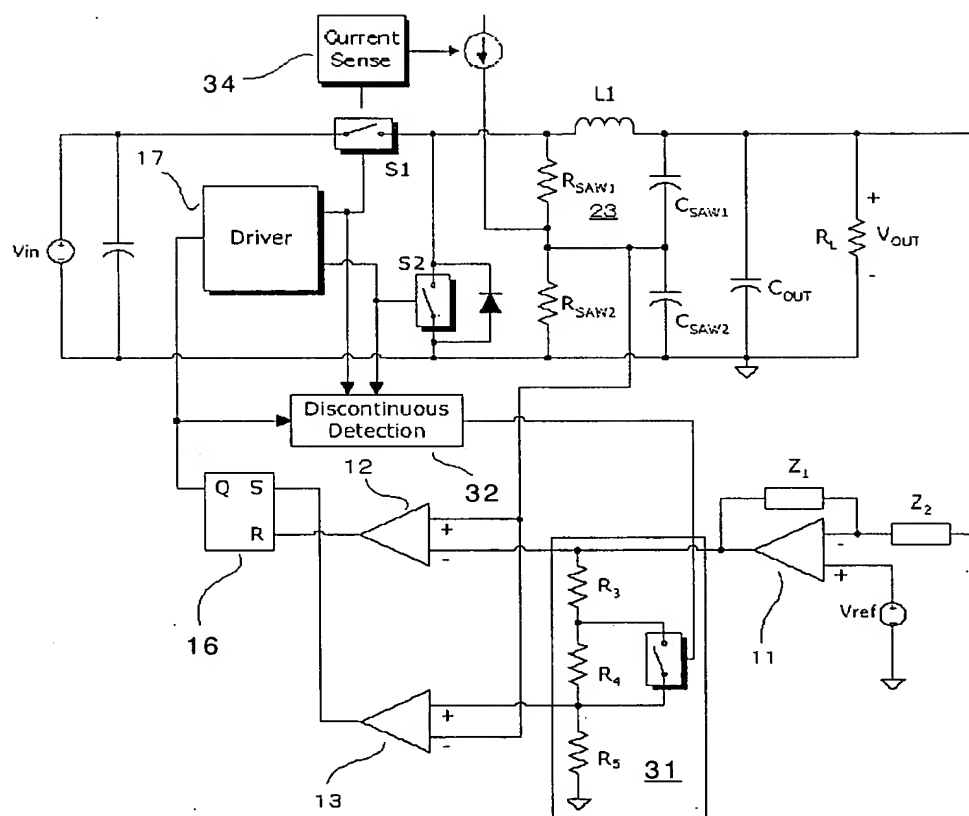


図 28

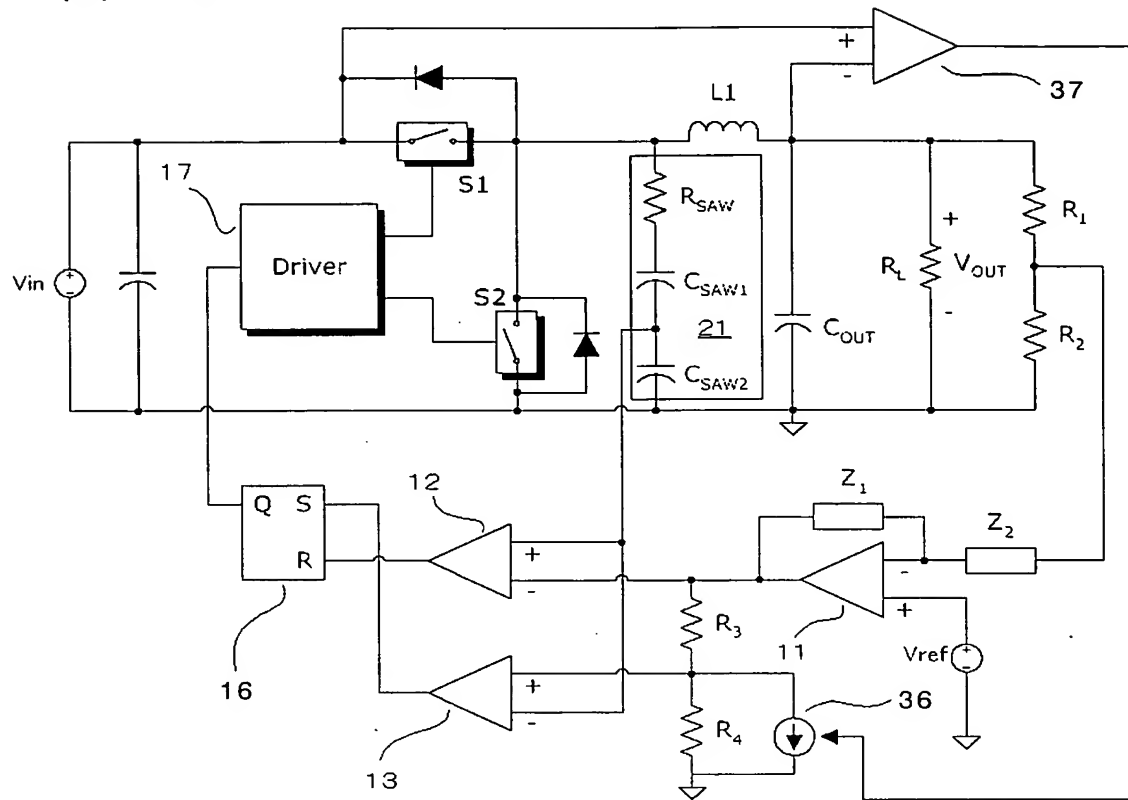


図 29

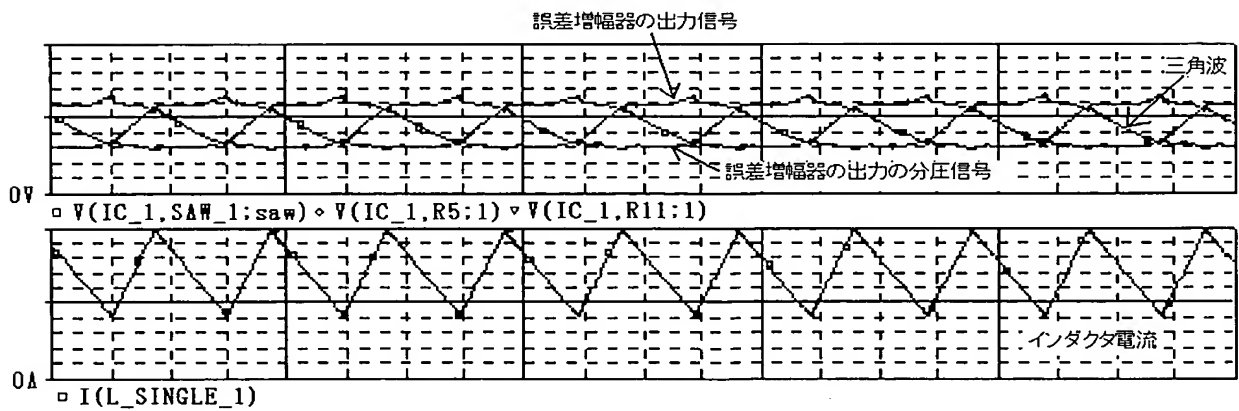


図 3 0

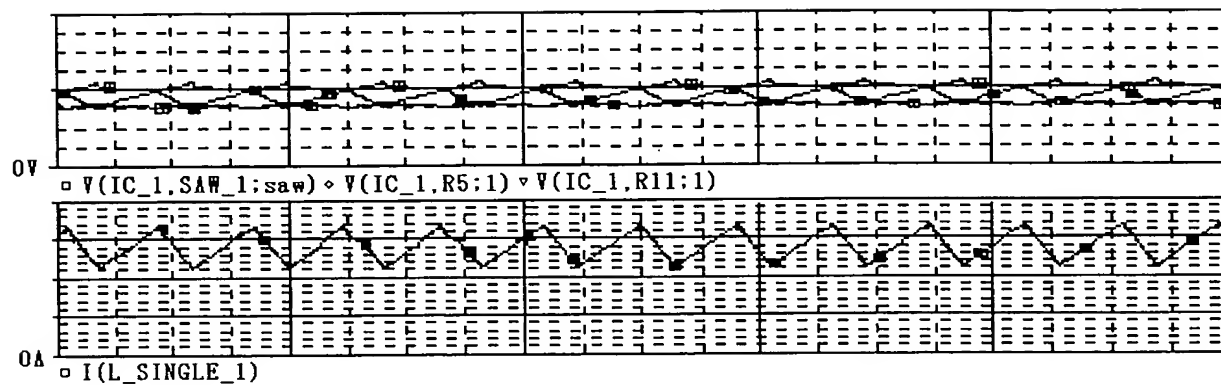


図 3 1

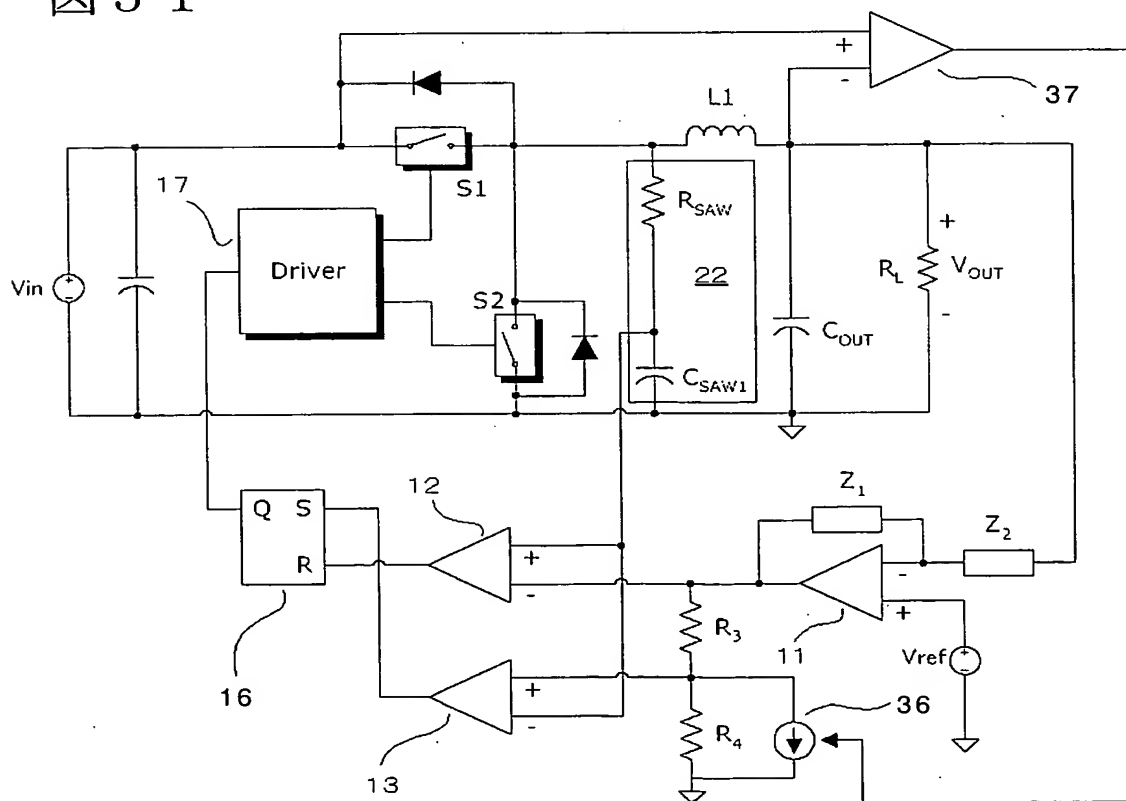


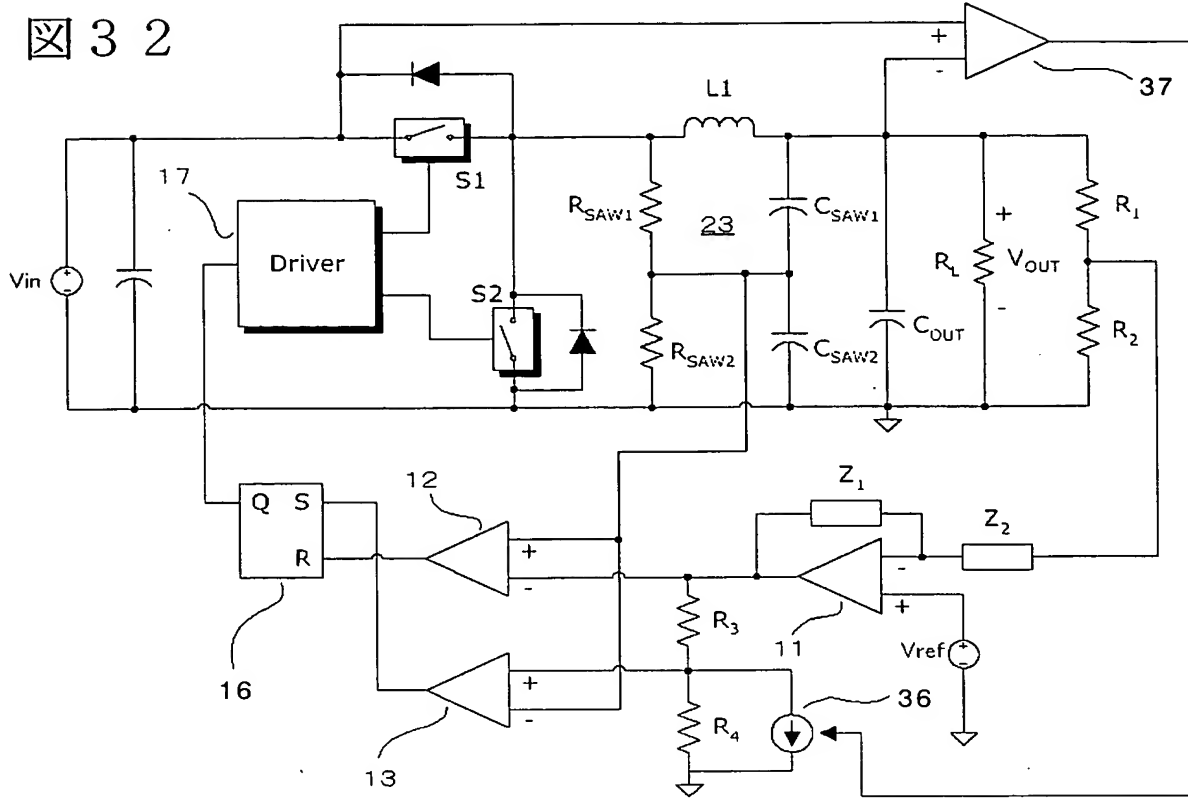
Figure 3 2 is a schematic diagram of a power converter. It features an input voltage source V_{in} connected to a driver (17) and a feedback network (16). The driver (17) is connected to a power MOSFET (S1) and a diode (S2). The MOSFET (S1) is connected to an inductor (L1) and a series combination of a resistor (R_{SAW1}) and a capacitor (C_{SAW1}). The diode (S2) is connected to a series combination of a resistor (R_{SAW2}) and a capacitor (C_{SAW2}). The output of the converter is V_{OUT} , which is connected to a load resistor (R_L) and a parallel combination of a resistor (R_1) and a capacitor (C_{OUT}). The feedback network (16) consists of a resistor (R_2) and a resistor (R_3) connected to the output and the feedback input of an operational amplifier (11). The operational amplifier (11) is connected to the gate of the MOSFET (S1) and the feedback input of another operational amplifier (12). The operational amplifier (12) is connected to the feedback input of a third operational amplifier (13). The third operational amplifier (13) is connected to the feedback input of the driver (17). The output of the driver (17) is also connected to the feedback input of the third operational amplifier (13).


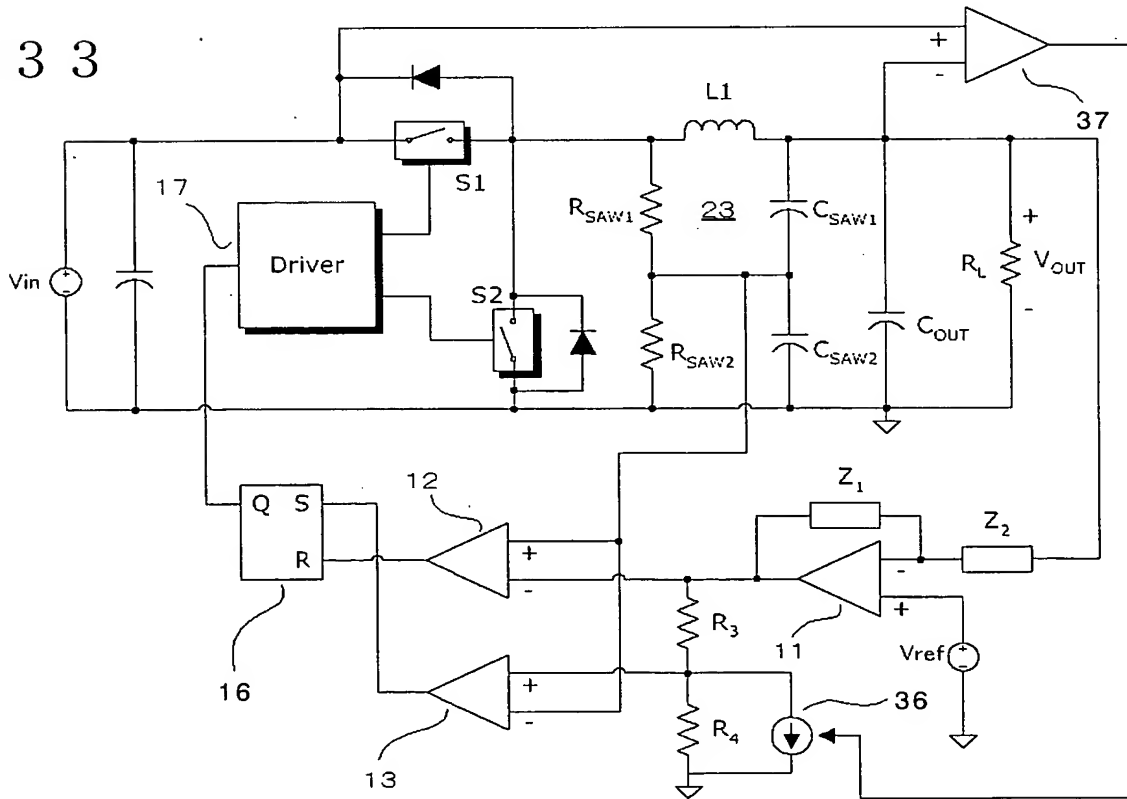
 Figure 3 3 is a schematic diagram of a power converter, similar to Figure 3 2. It features an input voltage source V_{in} connected to a driver (17) and a feedback network (16). The driver (17) is connected to a power MOSFET (S1) and a diode (S2). The MOSFET (S1) is connected to an inductor (L1) and a series combination of a resistor (R_{SAW1}) and a capacitor (C_{SAW1}). The diode (S2) is connected to a series combination of a resistor (R_{SAW2}) and a capacitor (C_{SAW2}). The output of the converter is V_{OUT} , which is connected to a load resistor (R_L) and a parallel combination of a resistor (R_1) and a capacitor (C_{OUT}). The feedback network (16) consists of a resistor (R_2) and a resistor (R_3) connected to the output and the feedback input of an operational amplifier (11). The operational amplifier (11) is connected to the gate of the MOSFET (S1) and the feedback input of another operational amplifier (12). The operational amplifier (12) is connected to the feedback input of a third operational amplifier (13). The third operational amplifier (13) is connected to the feedback input of the driver (17). The output of the driver (17) is also connected to the feedback input of the third operational amplifier (13).


图 3 4

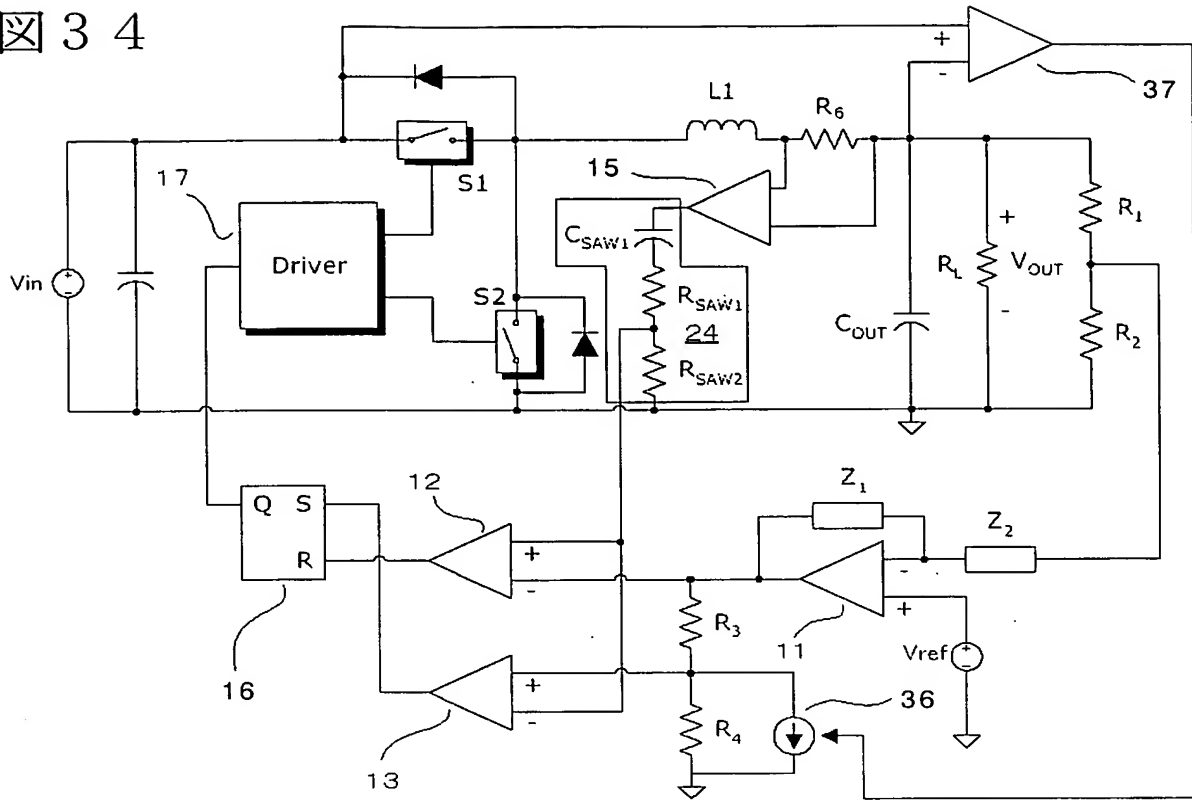


图 3 5

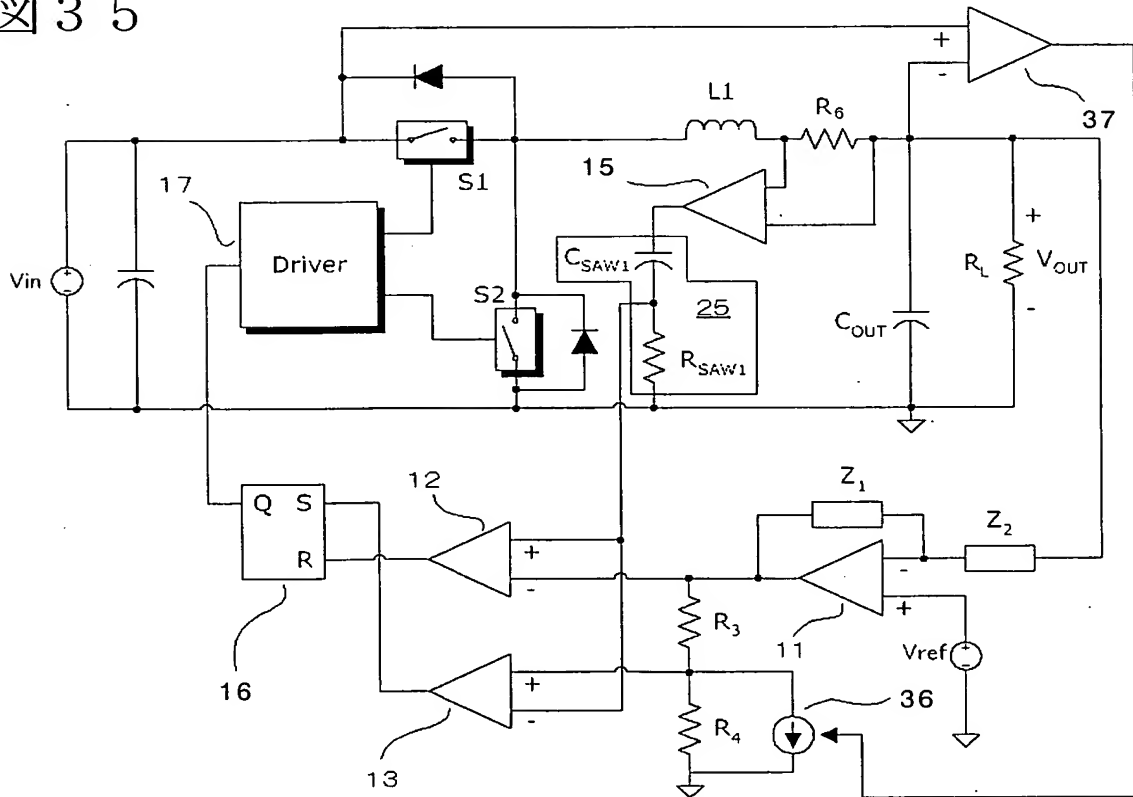


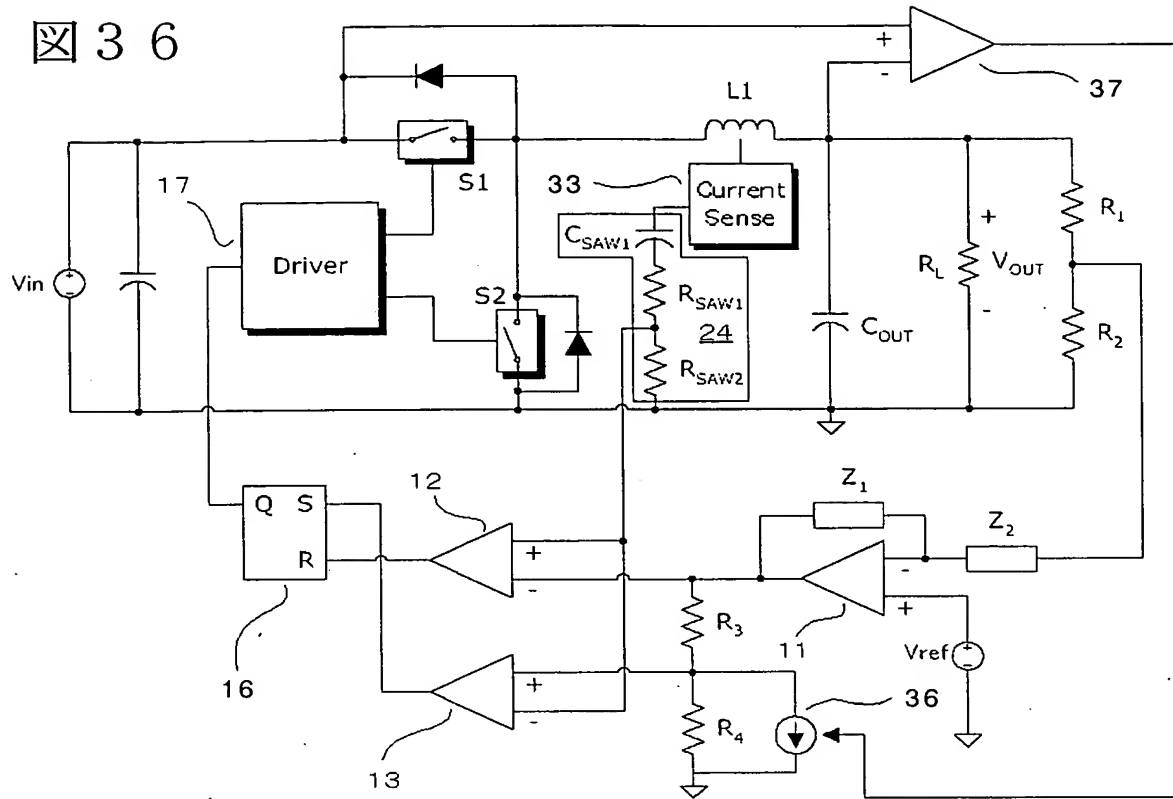
Figure 36 is a schematic diagram of a power converter. It features an input voltage source V_{in} connected to a network of components. A driver block (17) is connected to a switch $S1$. A second switch $S2$ is connected to the output of the driver. A current sense resistor network (24) is connected between the output of $S1$ and the output of $S2$. This network consists of a capacitor C_{SAW1} (33) in parallel with a series combination of two resistors, R_{SAW1} and R_{SAW2} . A Current Sense block is connected to the output of $S1$. The output of the current sense network is connected to a load resistor R_L and a feedback network consisting of resistors R_1 and R_2 . The output voltage is V_{OUT} . A feedback loop is formed by a summing junction (12) and an op-amp (13). The summing junction (12) has two inputs: one from the output of the op-amp (13) and another from a reference voltage V_{ref} (36). The output of the op-amp (13) is connected to the input of the driver (17). A feedback network consisting of impedances Z_1 and Z_2 is connected between the output of the op-amp (13) and the output of the current sense network. A current source (36) is connected to the output of the op-amp (13) and the output of the current sense network. A feedback network consisting of impedances Z_1 and Z_2 is connected between the output of the op-amp (13) and the output of the current sense network. A feedback network consisting of impedances Z_1 and Z_2 is connected between the output of the op-amp (13) and the output of the current sense network.


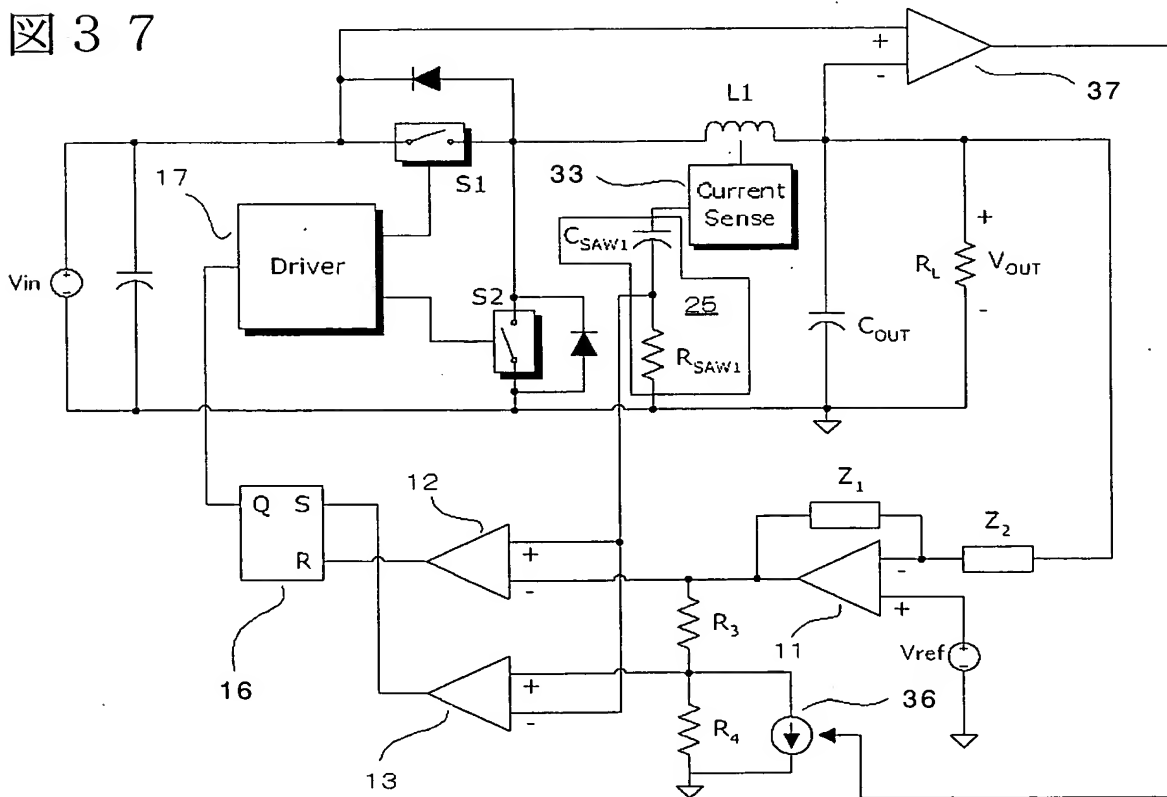
 Figure 37 is a schematic diagram of a power converter, similar to Figure 36 but with a simplified current sense network. It features an input voltage source V_{in} connected to a network of components. A driver block (17) is connected to a switch $S1$. A second switch $S2$ is connected to the output of the driver. A current sense resistor network (25) is connected between the output of $S1$ and the output of $S2$. This network consists of a capacitor C_{SAW1} (33) in parallel with a single resistor R_{SAW1} . A Current Sense block is connected to the output of $S1$. The output of the current sense network is connected to a load resistor R_L and a feedback network consisting of resistors R_1 and R_2 . The output voltage is V_{OUT} . A feedback loop is formed by a summing junction (12) and an op-amp (13). The summing junction (12) has two inputs: one from the output of the op-amp (13) and another from a reference voltage V_{ref} (36). The output of the op-amp (13) is connected to the input of the driver (17). A feedback network consisting of impedances Z_1 and Z_2 is connected between the output of the op-amp (13) and the output of the current sense network. A current source (36) is connected to the output of the op-amp (13) and the output of the current sense network. A feedback network consisting of impedances Z_1 and Z_2 is connected between the output of the op-amp (13) and the output of the current sense network. A feedback network consisting of impedances Z_1 and Z_2 is connected between the output of the op-amp (13) and the output of the current sense network.


图 3 8

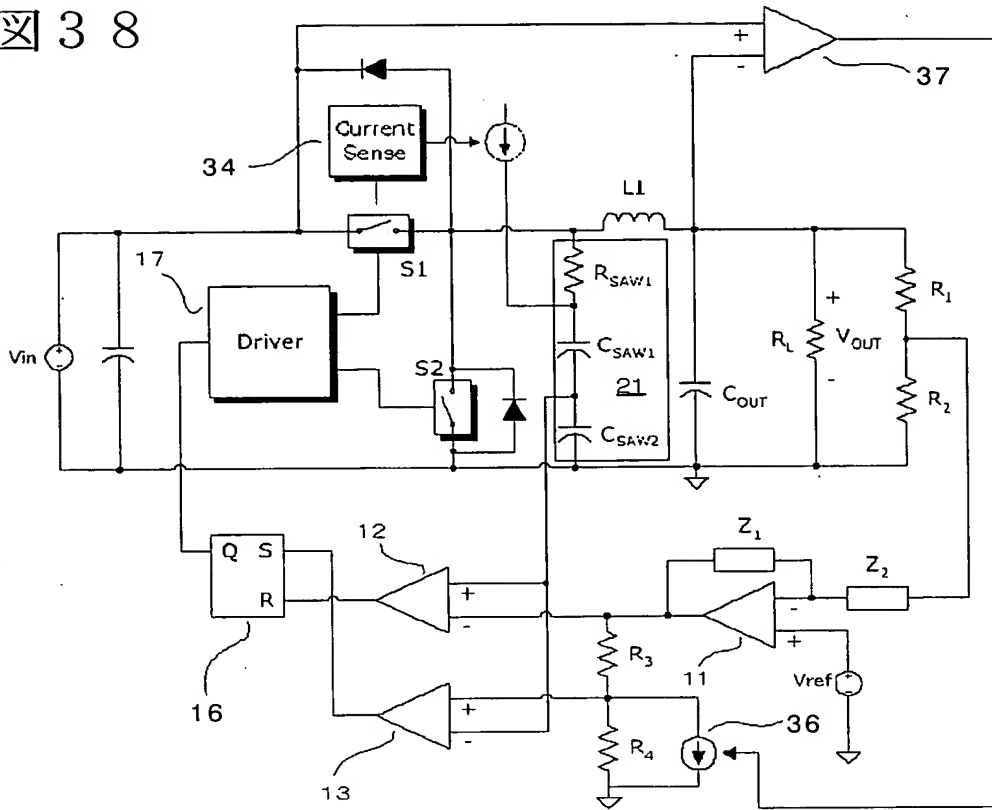


図 3 9

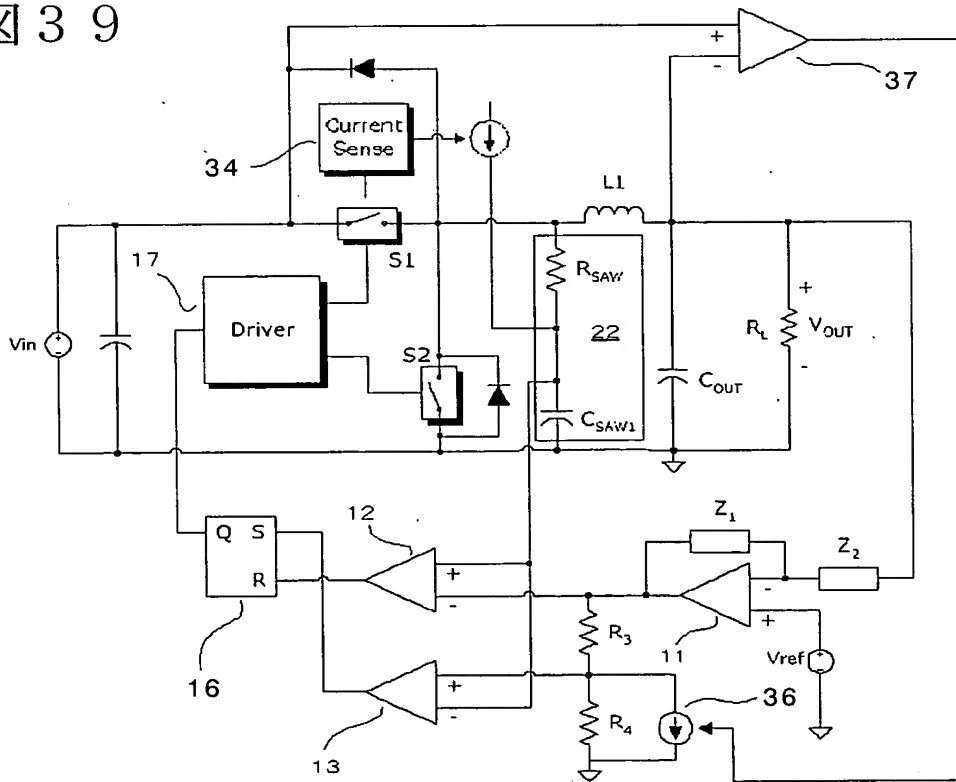


図 4 2

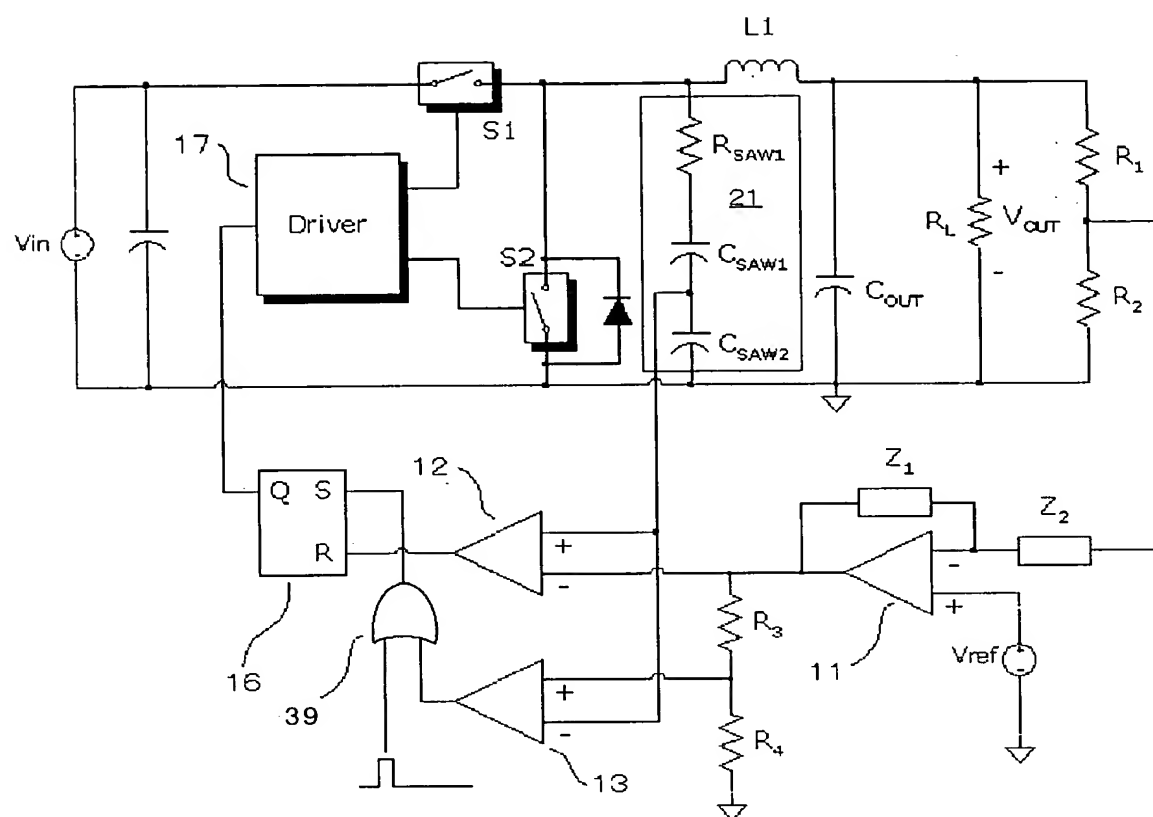


図 4 3

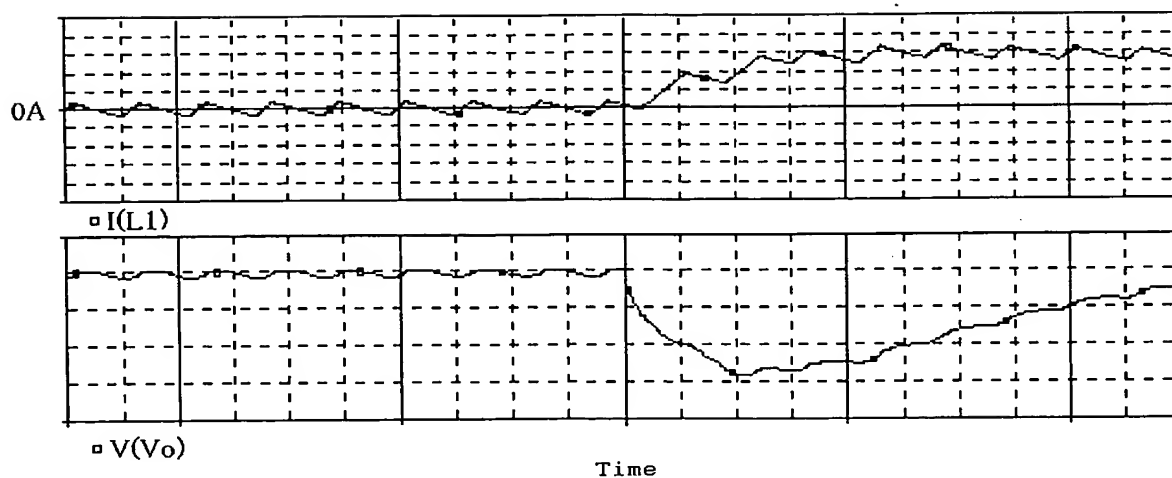


図 4 4

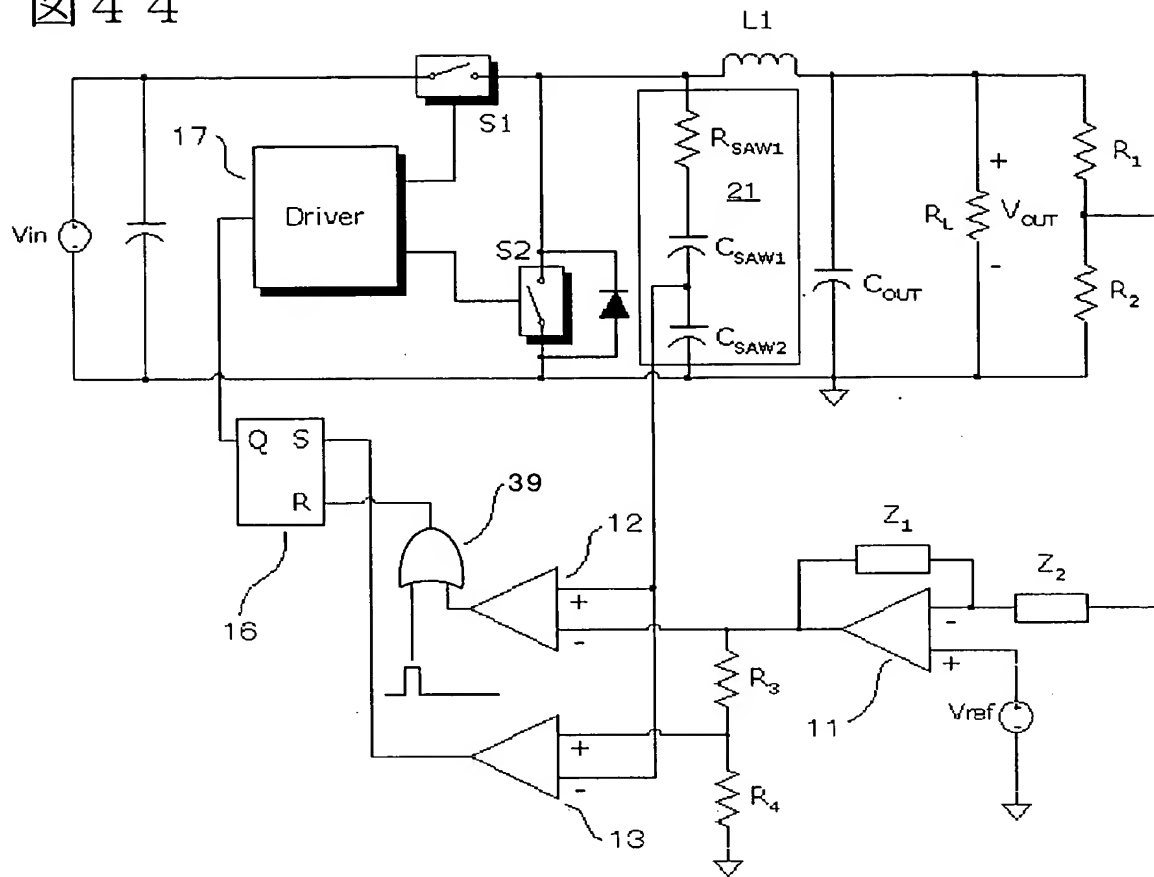


図 4 5

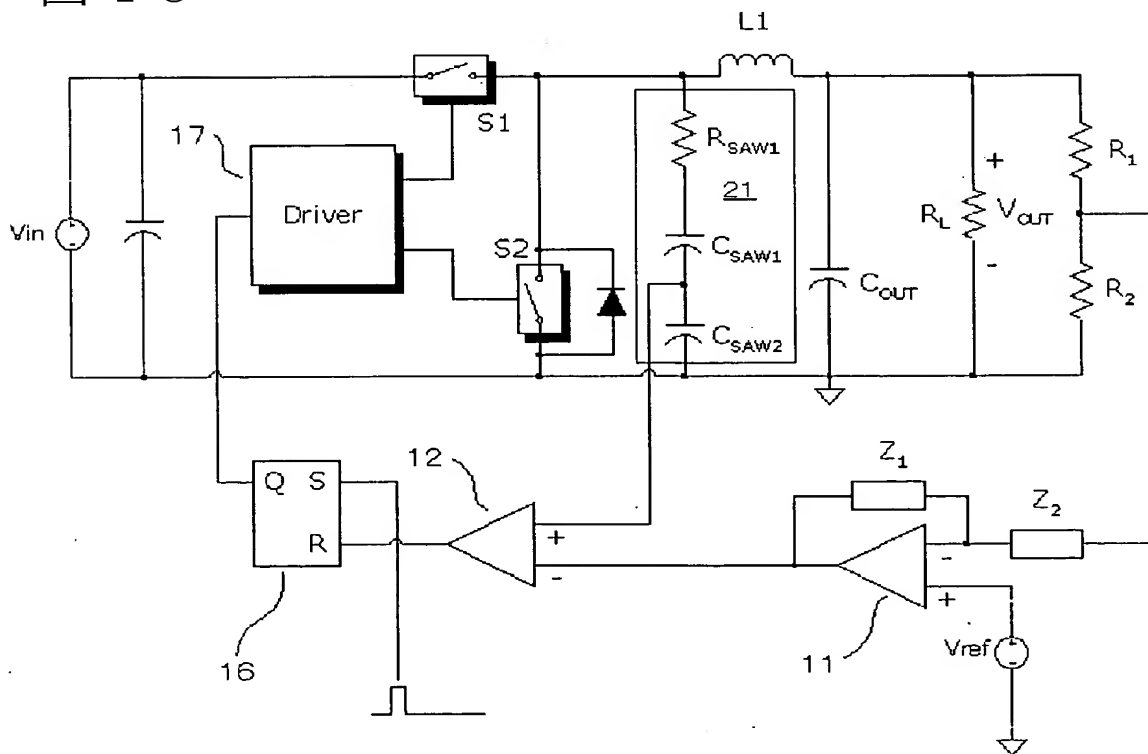
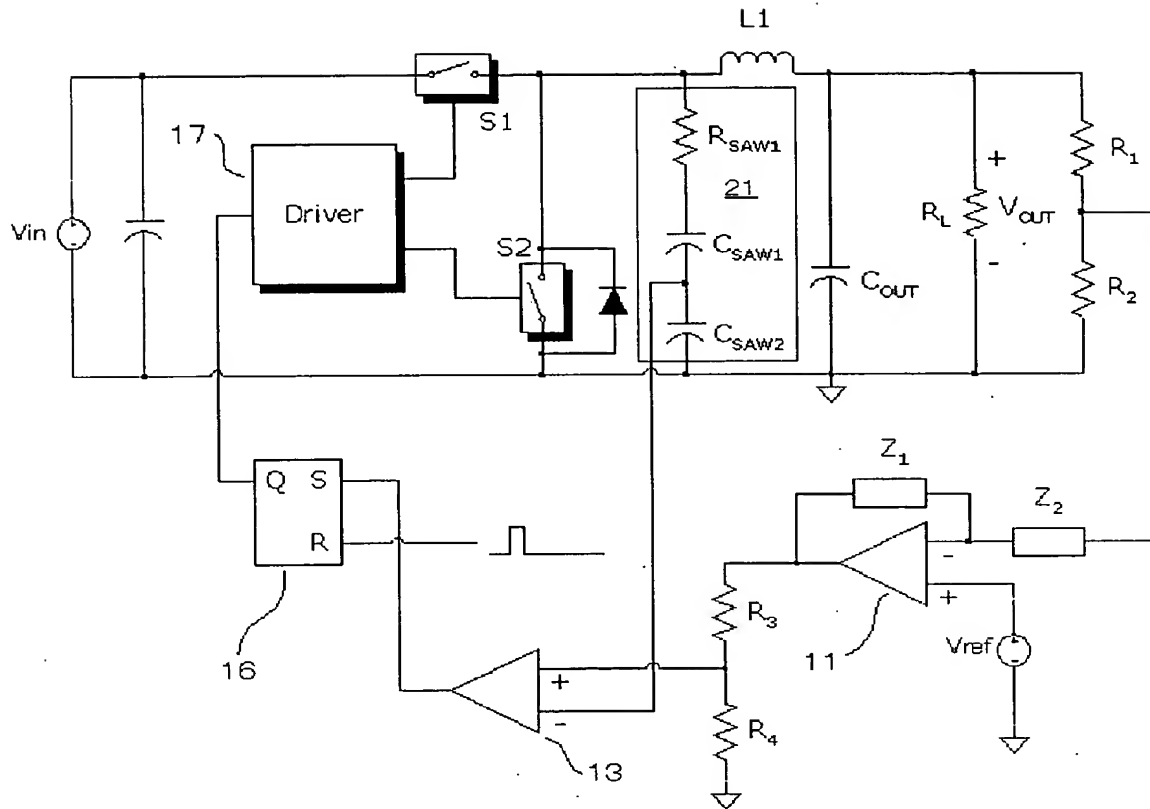


图 4 6



25/34

图 4 7

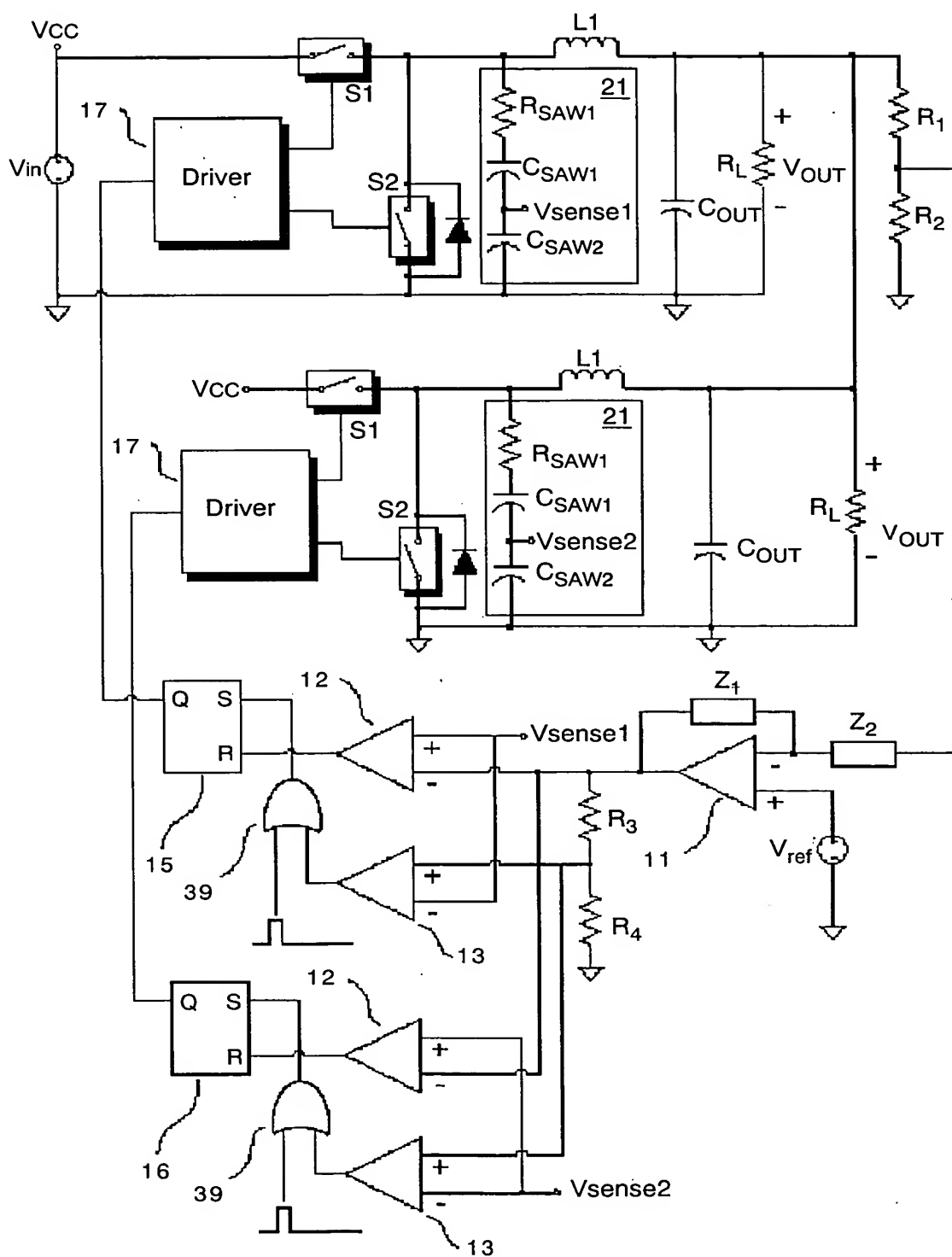


図 4 8

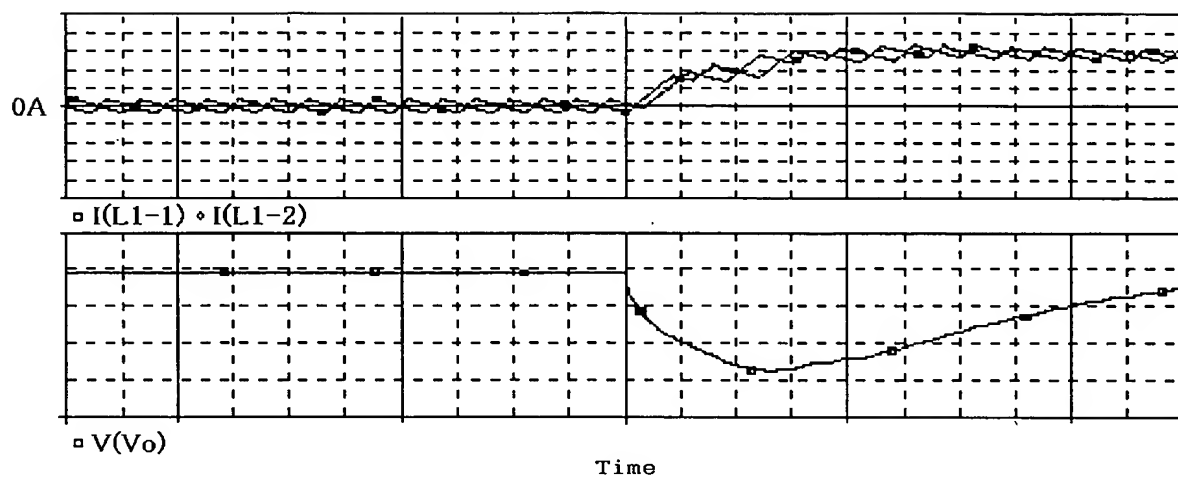


図 4 9

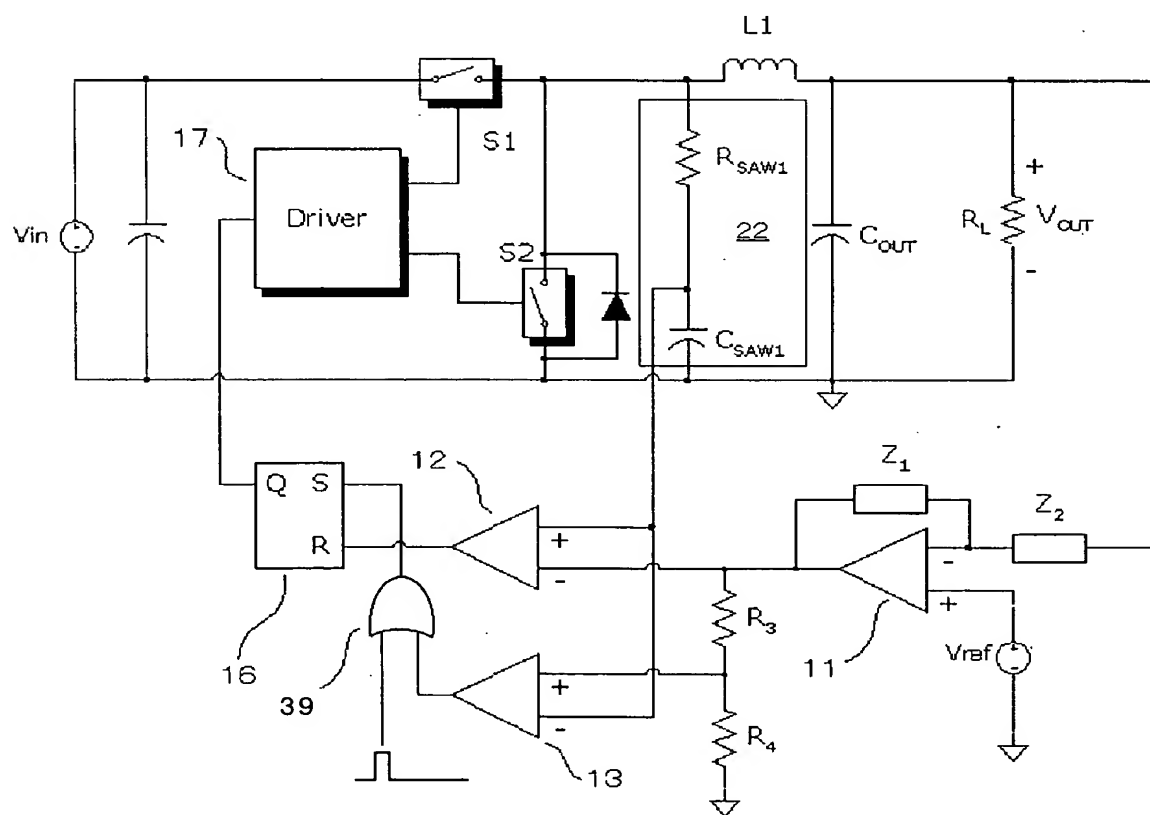


図 5 0

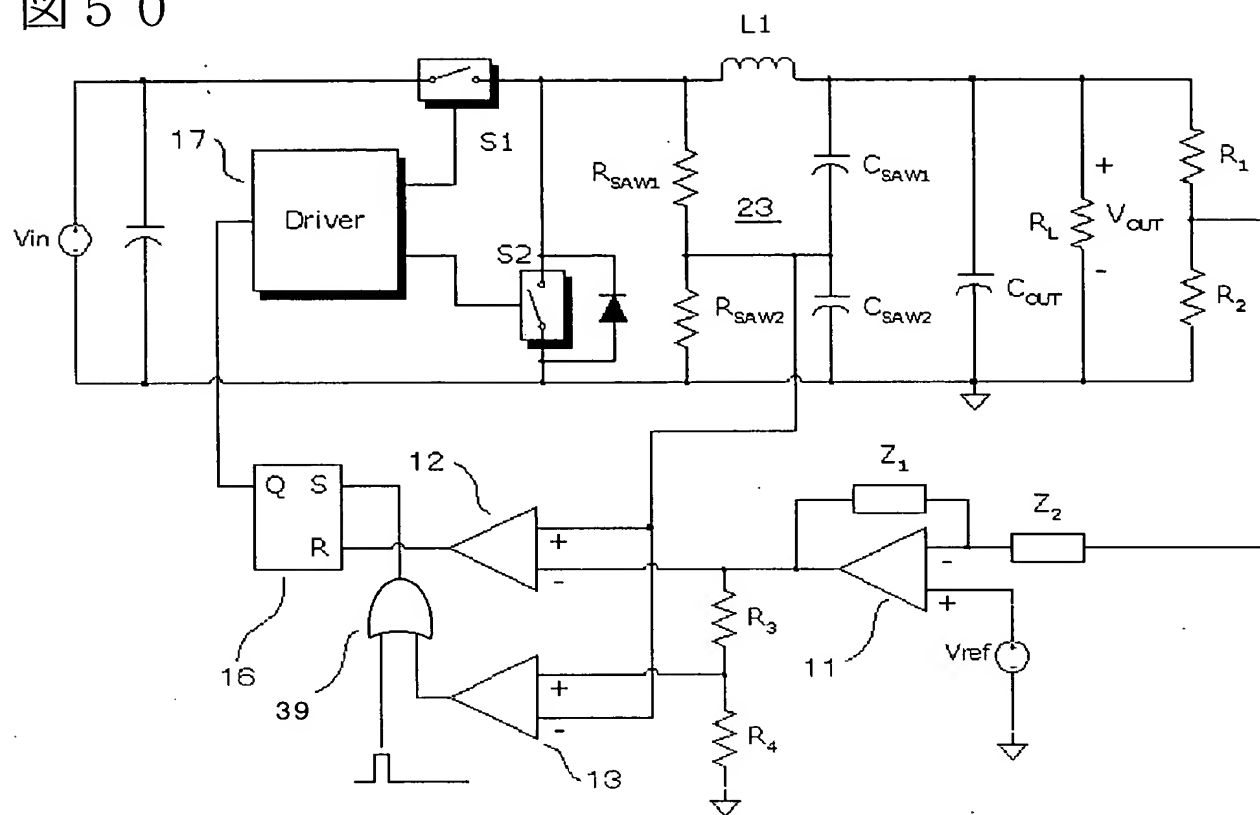


図 5 1

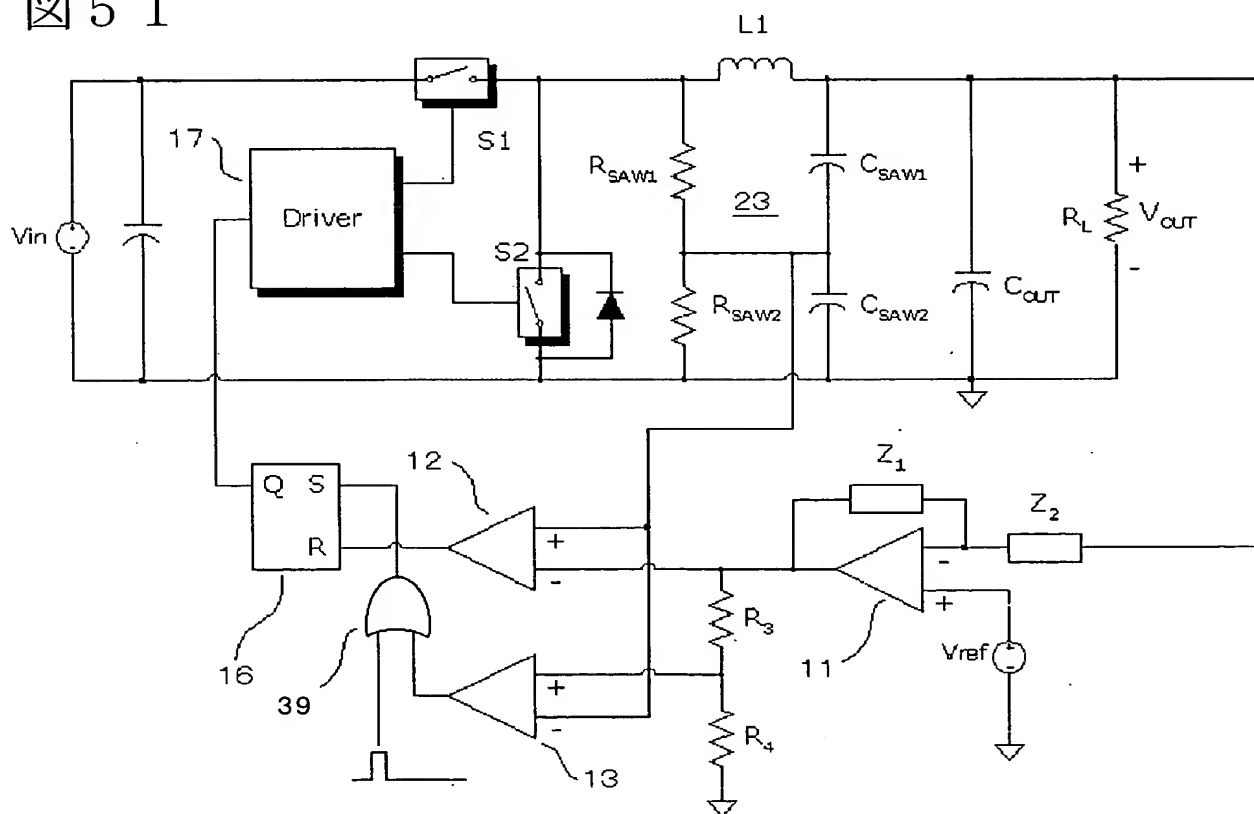


图 5 2

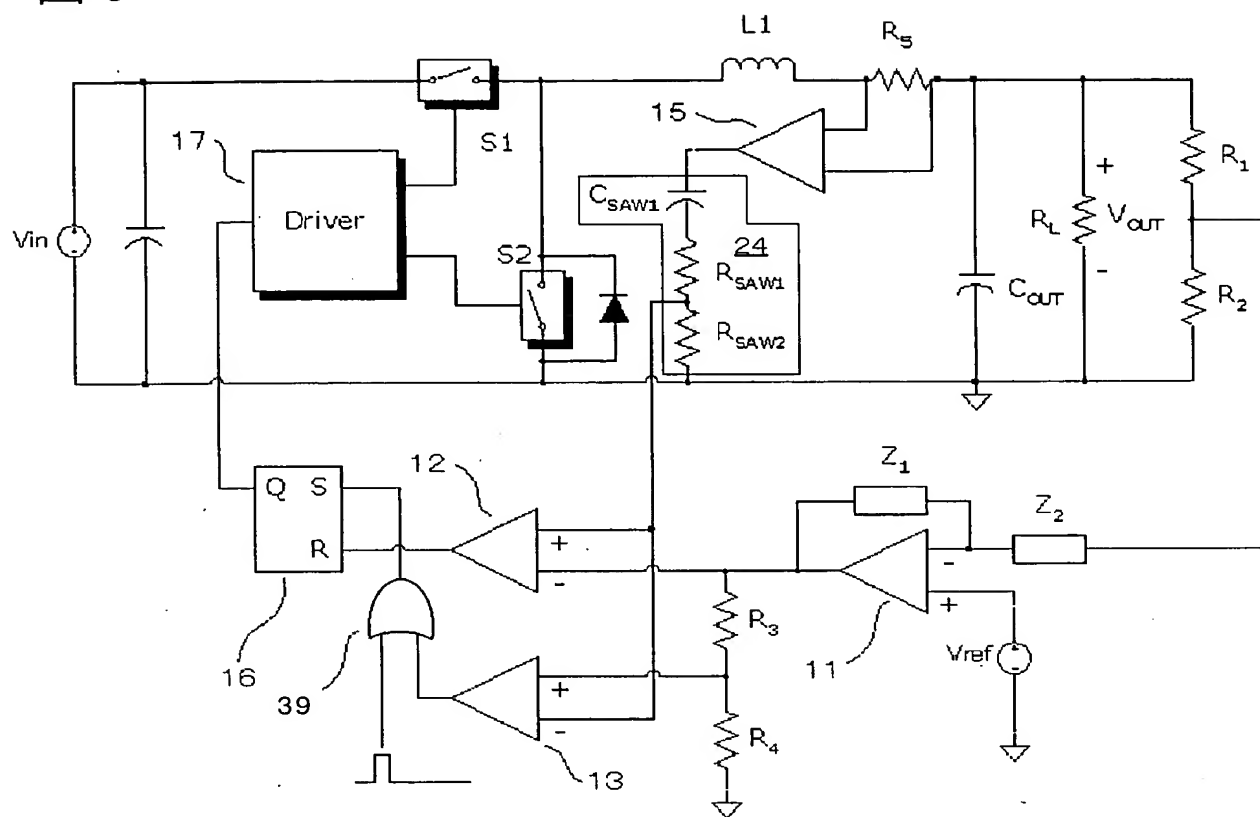


图 5 3

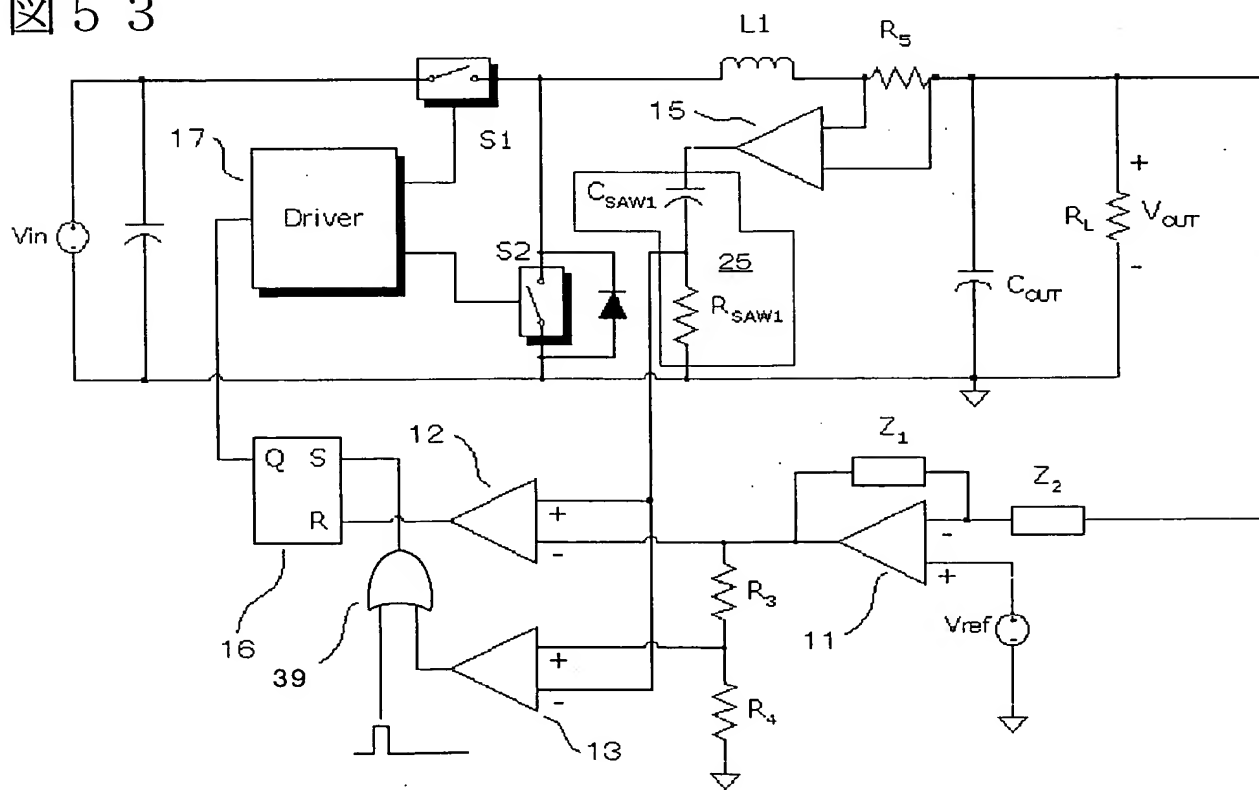


图 5 4

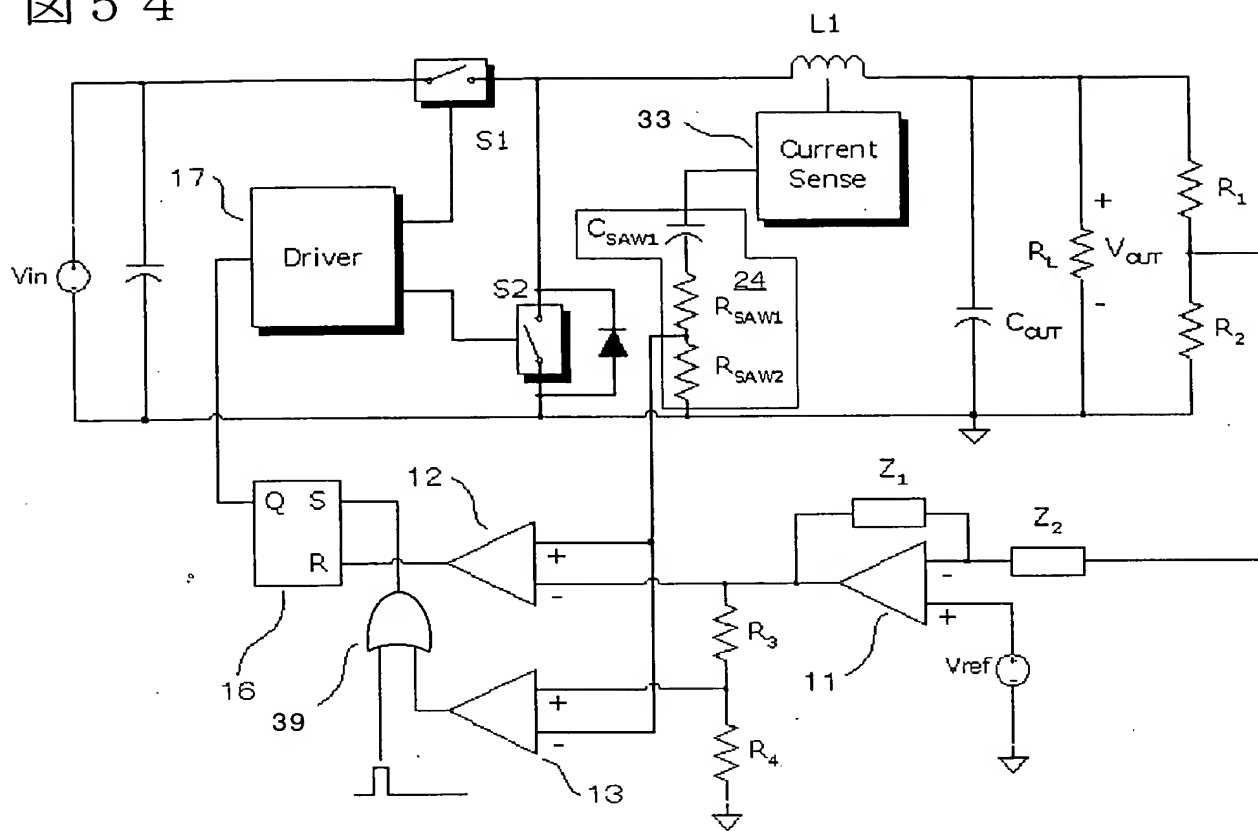


図 5 5

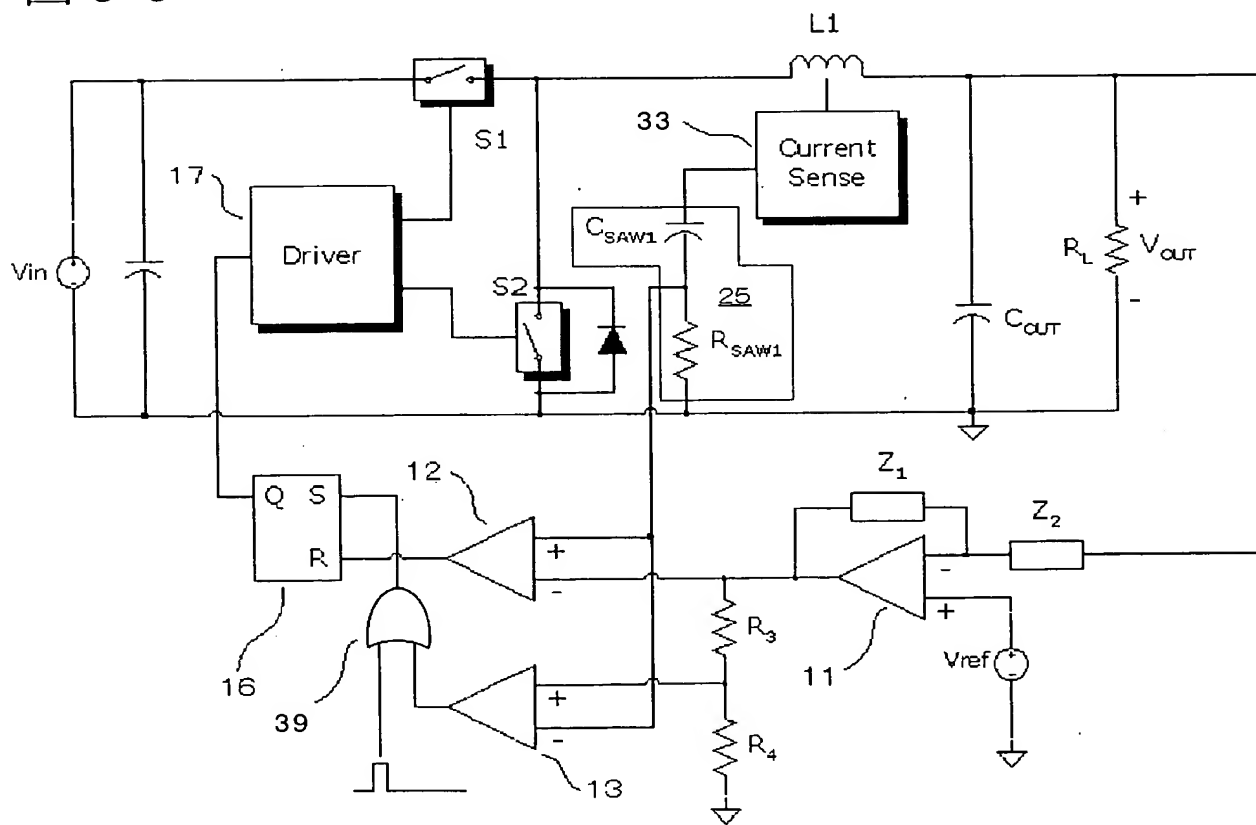


図 5 6

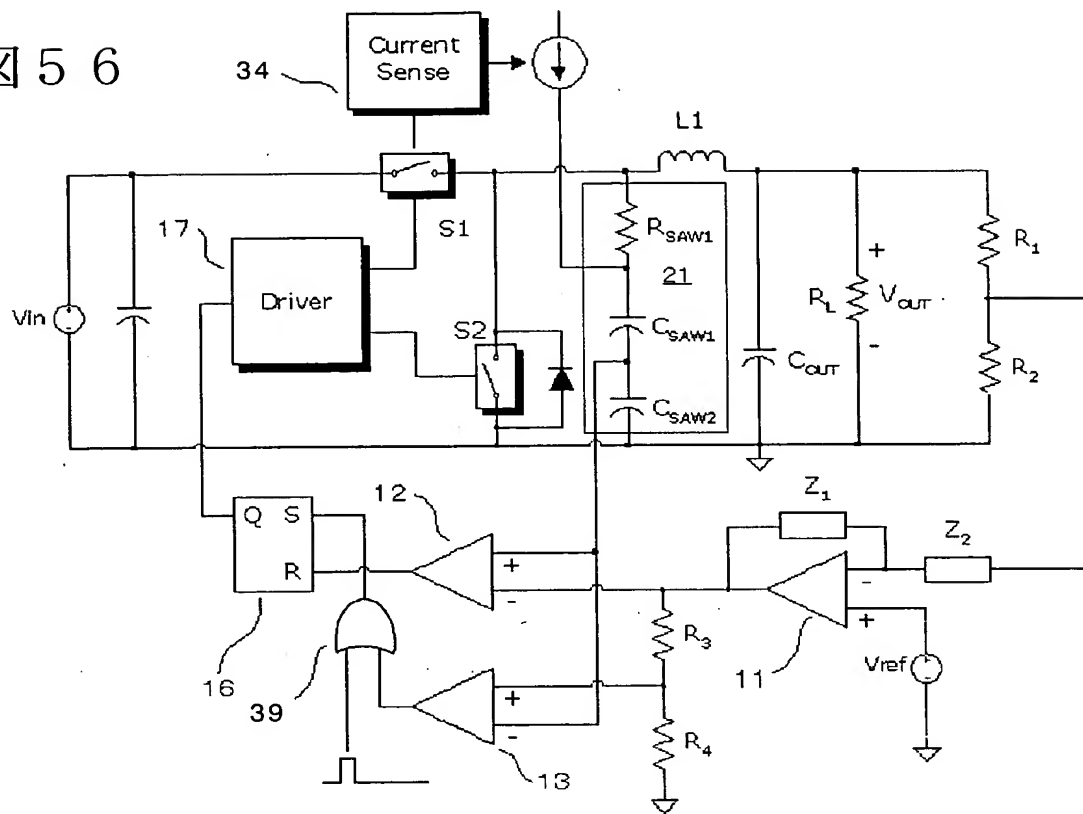


図 5 7

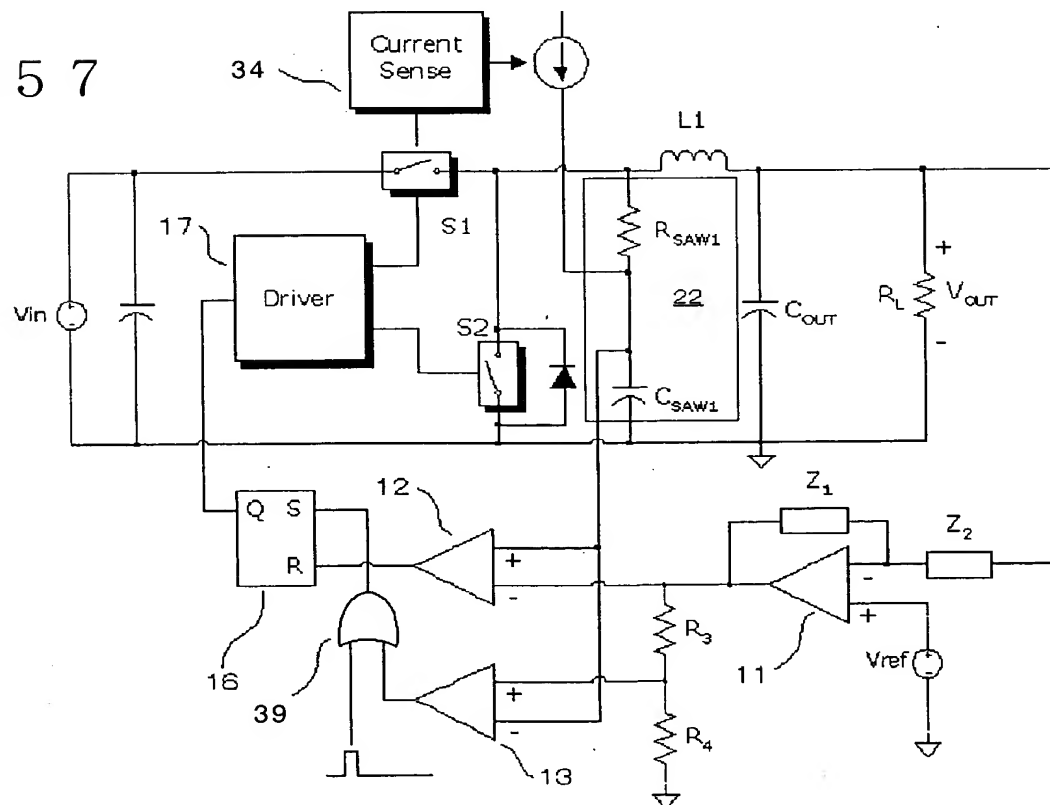


图 5 8

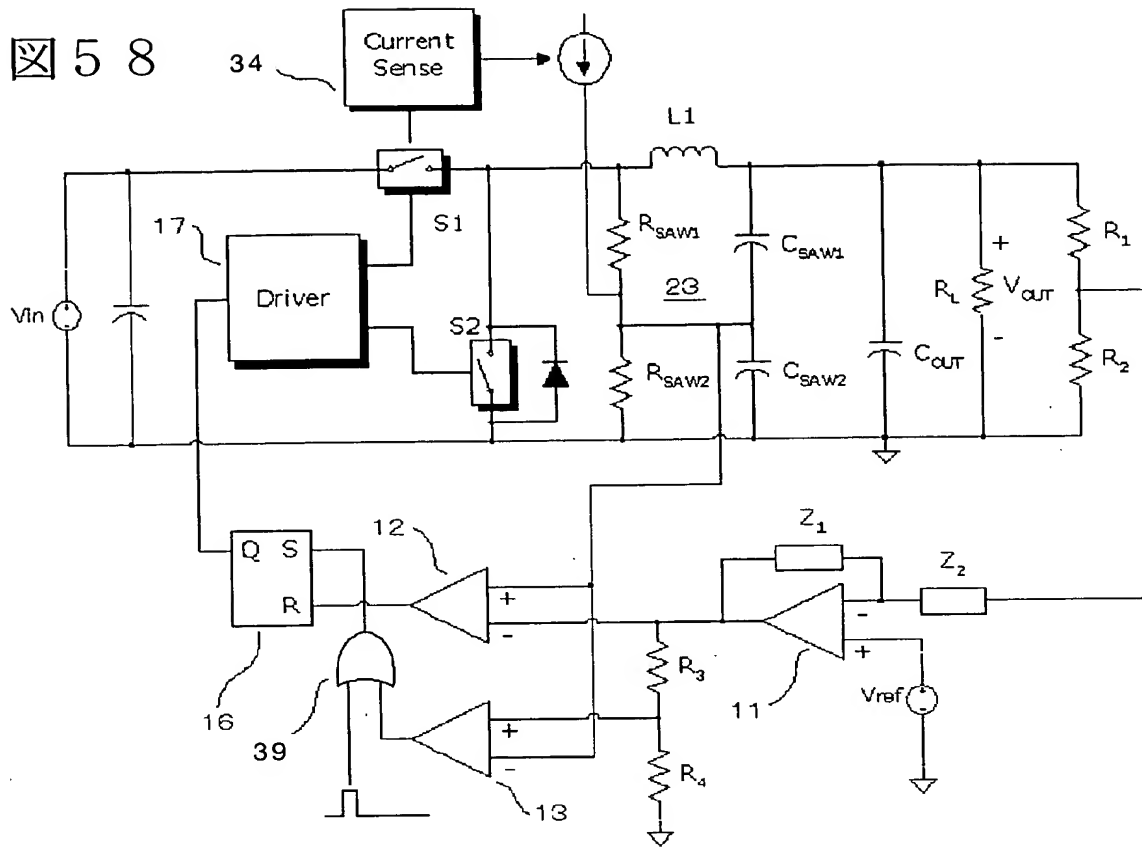


图 5 9

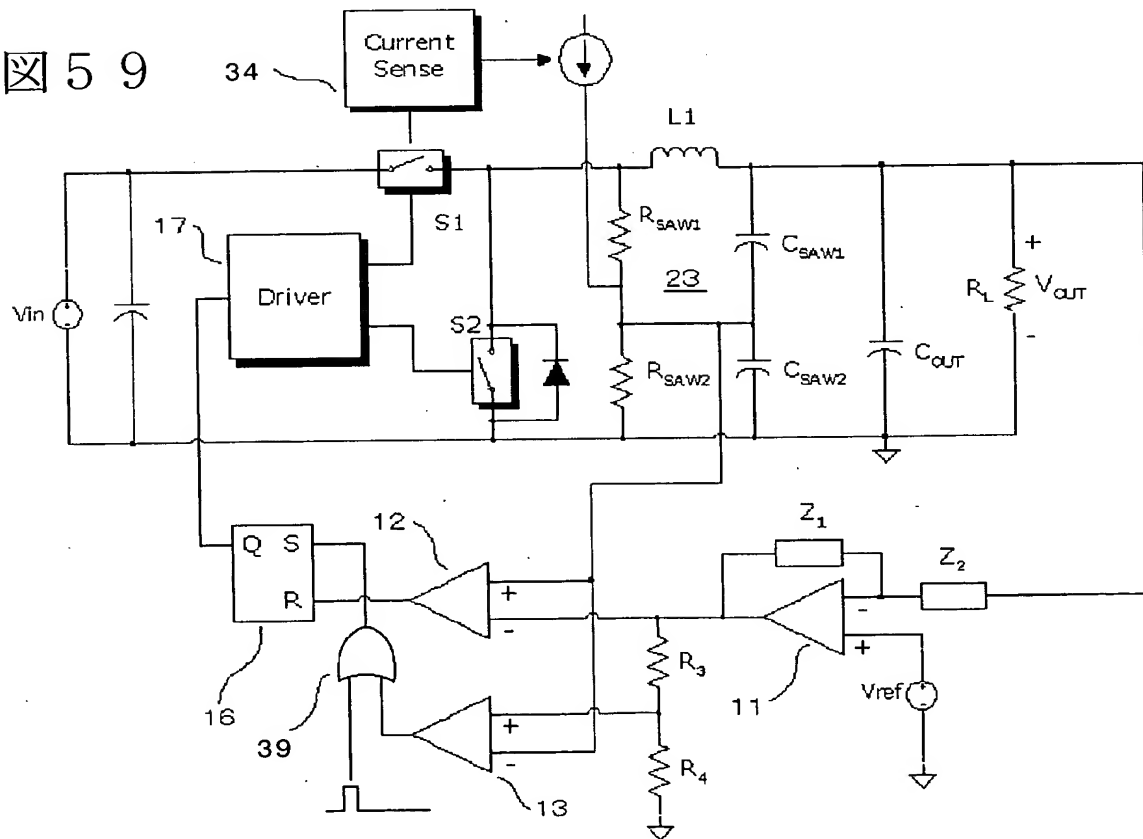


図 6 0

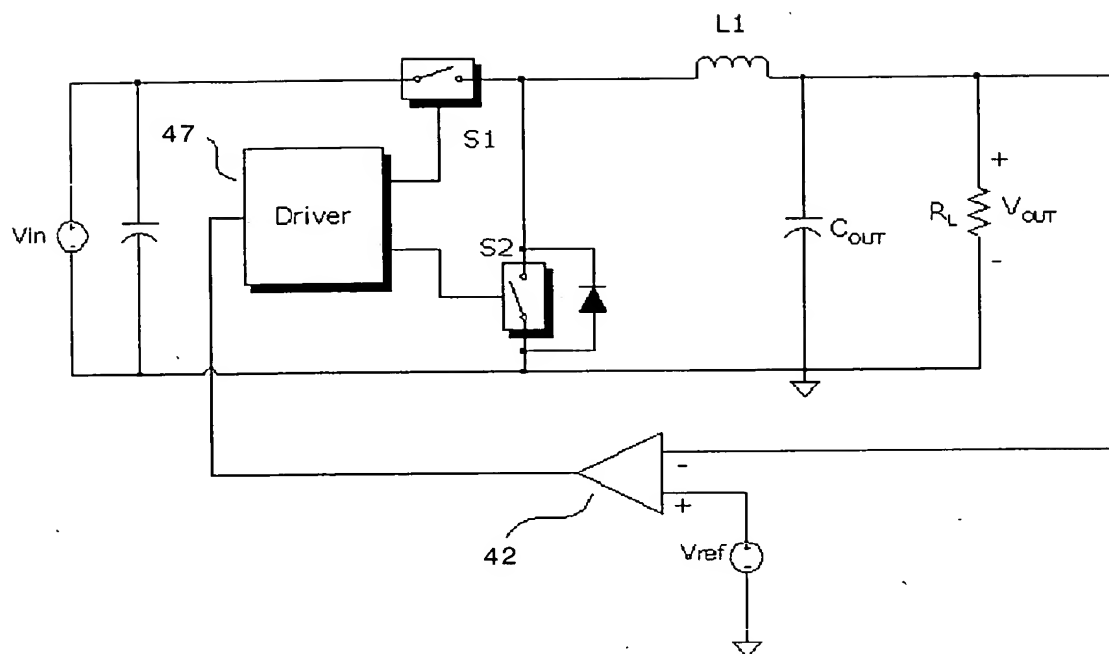


図 6 1

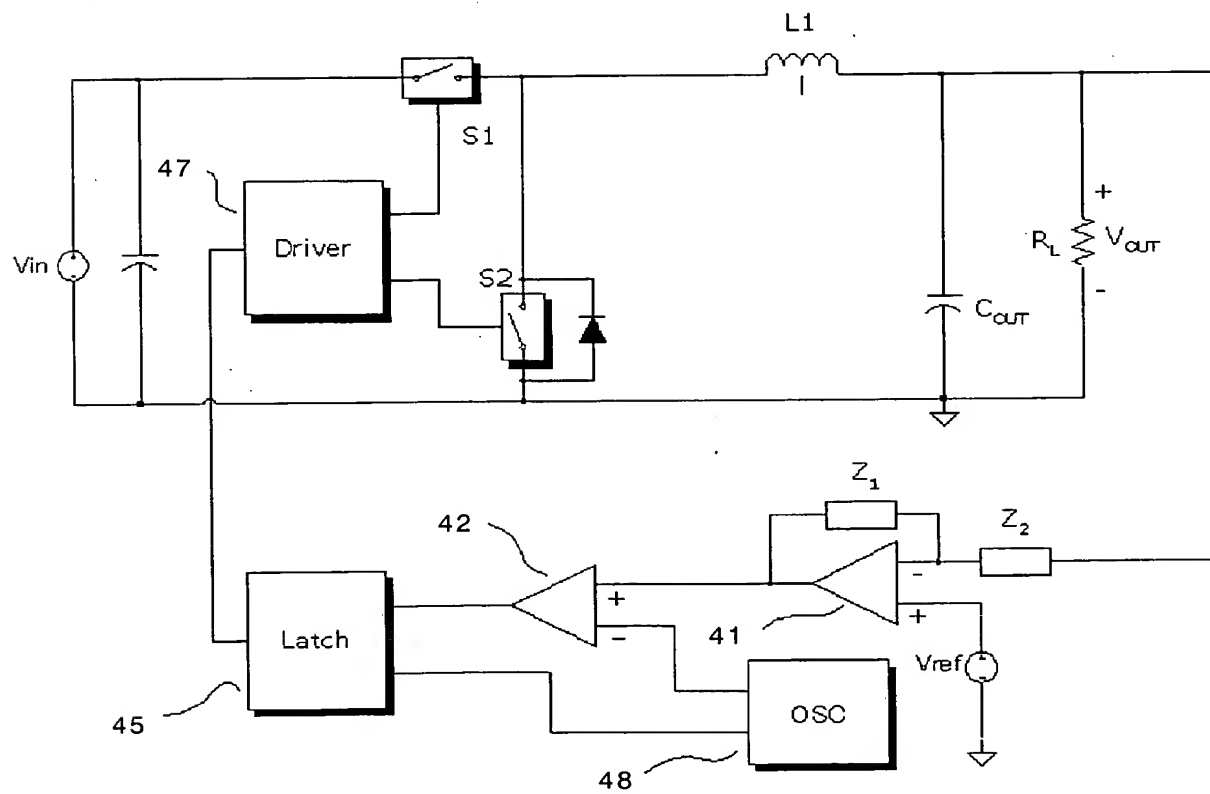


図 6 2

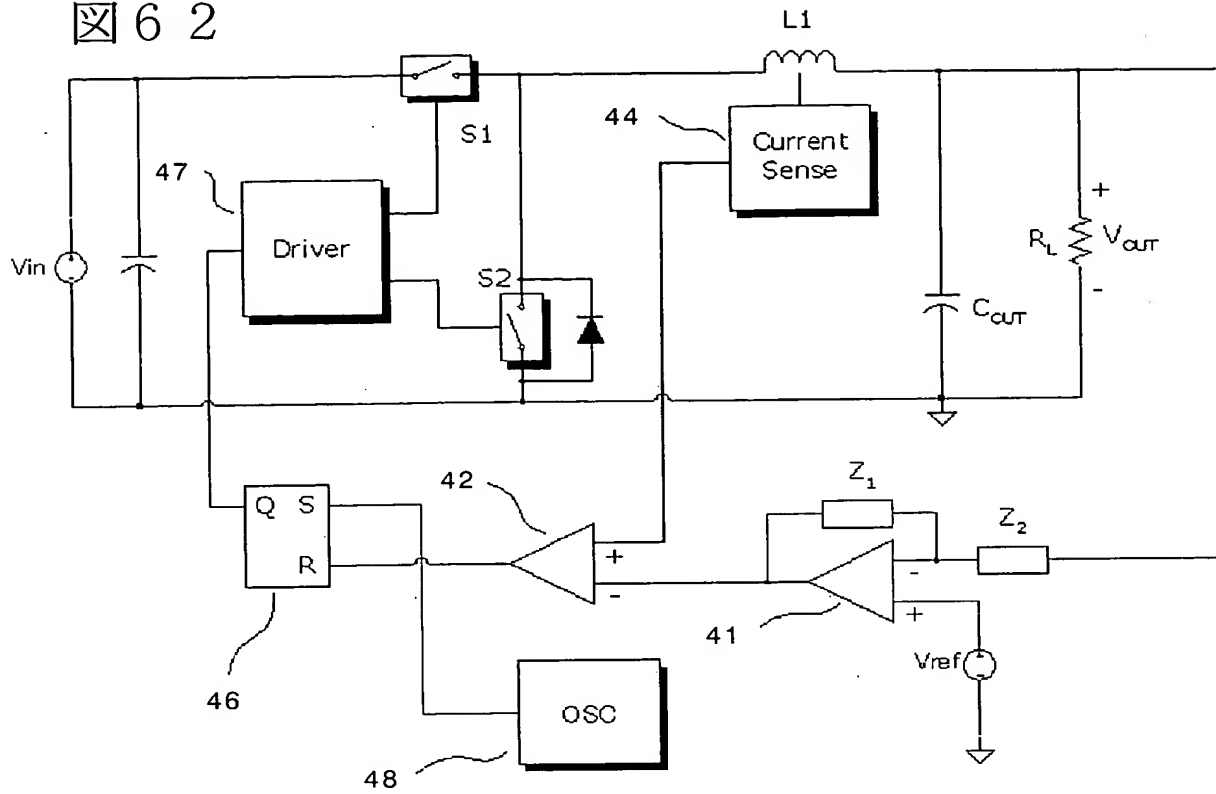
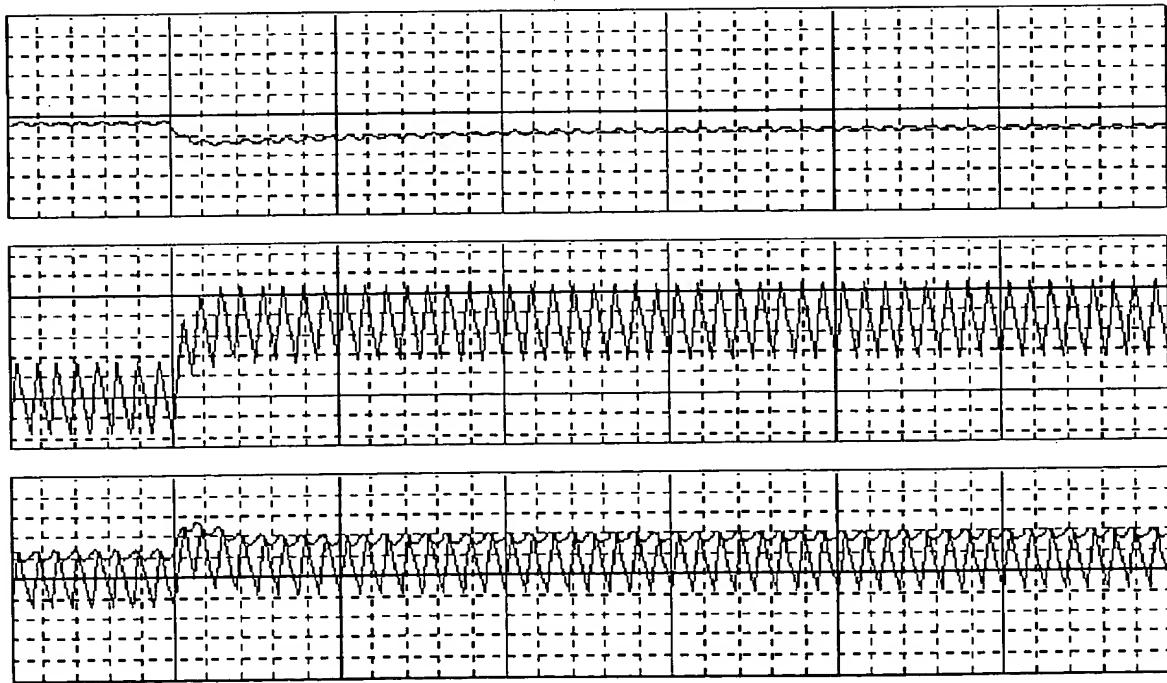


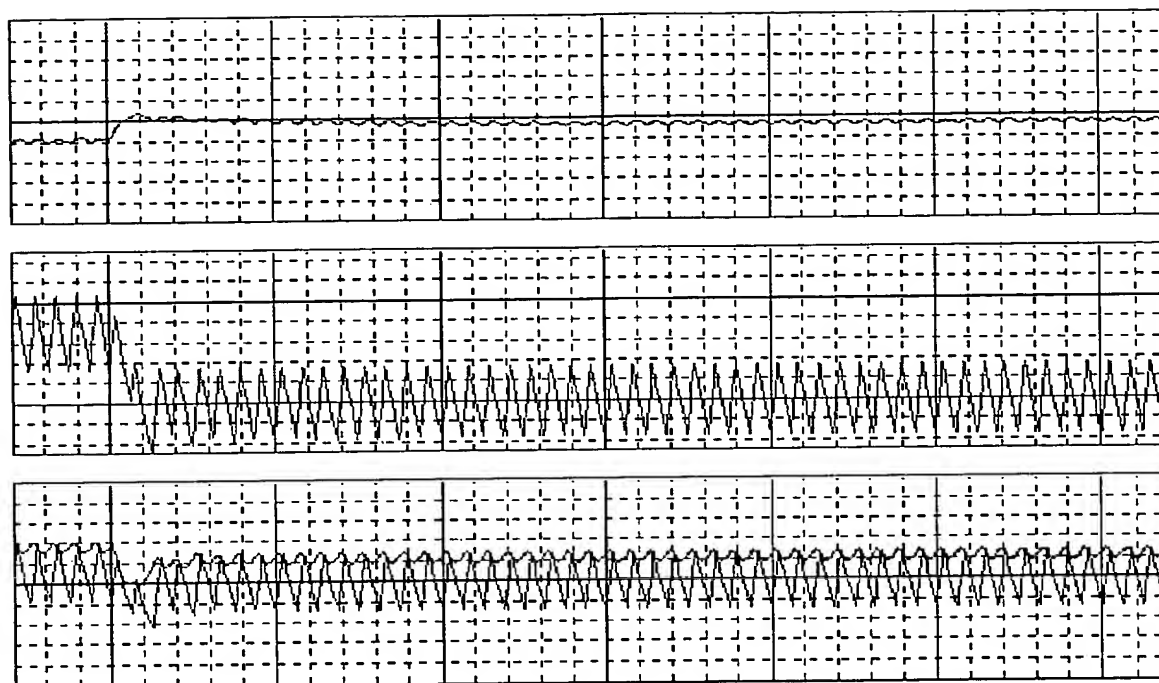
図 6 3



Time

34/34

図 6 4



Time

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.